

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月 1日
Date of Application:

出願番号 特願2002-319833
Application Number:

[ST. 10/C] : [JP2002-319833]

出願人 株式会社日立ハイテクノロジーズ
Applicant(s):

2003年10月16日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願

【整理番号】 NT02P0650

【提出日】 平成14年11月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/66

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 292 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 中垣 亮

【発明者】

【住所又は居所】 茨城県ひたちなか市大字市毛 882 番地 株式会社日立
ハイテクノロジーズ内

【氏名】 渡辺 健二

【発明者】

【住所又は居所】 茨城県ひたちなか市大字市毛 882 番地 株式会社日立
ハイテクノロジーズ内

【氏名】 豊嶋 祐也

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 292 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 宍戸 千絵

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 292 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 高木 裕治

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 292 番地 株式会社日立
製作所 生産技術研究所内

【氏名】 田中 麻紀

【特許出願人】

【識別番号】 501387839

【氏名又は名称】 株式会社日立ハイテクノロジーズ

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体デバイスの製造方法及びその製造システム

【特許請求の範囲】

【請求項 1】

所定の半導体製造プロセスによりテストパターンおよび実回路パターンを形成して製品半導体デバイスを製造する半導体デバイスの製造方法であって、

前記製品半導体デバイスに形成されたテストパターンの3次元形状の特徴を光学的スキャタロメトリ装置を用いて計測して前記製品半導体デバイスの実回路パターンに対する半導体製造プロセスを評価することを特徴とする半導体デバイスの製造方法。

【請求項 2】

前記半導体製造プロセスが半導体露光現像プロセスであることを特徴とする請求項1記載の半導体デバイスの製造方法。

【請求項 3】

前記半導体製造プロセスが半導体エッチングプロセスであることを特徴とする請求項1記載の半導体デバイスの製造方法。

【請求項 4】

予め、半導体製造プロセスにおけるプロセスパラメータを変動させてテストパターンおよび実回路パターンを形成したサンプルウェハを作成し、該サンプルウェハとして作成した前記テストパターンの3次元形状の特徴と前記実回路パターンにおける所定の部分についての3次元形状の特徴とを測定し、該測定されたプロセスパラメータを変動させた際のテストパターンの3次元形状の特徴と実回路パターンにおける所定の部分についての3次元形状の特徴との間の対応関係を算出して準備しておく準備工程と、

所定の製品半導体製造プロセスによりテストパターンおよび実回路パターンを形成して製品半導体デバイスを製造する際、該製品半導体デバイスに形成されたテストパターンの3次元形状の特徴を光学的スキャタロメトリ装置を用いて計測し、該計測されたテストパターンの3次元形状の特徴を基に、前記準備工程で準備されたプロセスパラメータを変動させた際の前記対応関係から前記製品半導体

デバイスの実回路パターンに対する半導体製造プロセスを評価する評価工程とを有することを特徴とする半導体デバイスの製造方法。

【請求項 5】

前記準備工程において、前記テストパターンの3次元形状の特徴と前記実回路パターンにおける所定の部分についての3次元形状の特徴との測定をAFM観察を用いて行うことを特徴とする請求項4記載の半導体デバイスの製造方法。

【請求項 6】

前記準備工程において、前記テストパターンの3次元形状の特徴の測定を光学的スキャナロメトリ装置を用いて行い、前記実回路パターンにおける所定の部分についての3次元形状の特徴の測定をAFM観察又は断面SEM観察によって行うことを特徴とする請求項4記載の半導体デバイスの製造方法。

【請求項 7】

前記準備工程及び評価工程において、半導体製造プロセスが半導体露光・現像プロセスであり、そのプロセスパラメータとして露光量、フォーカス値の何れか一つ以上であることを特徴とする請求項4記載の半導体デバイスの製造方法。

【請求項 8】

前記準備工程及び評価工程において、半導体製造プロセスが半導体エッチングプロセスであり、そのプロセスパラメータとしてガス流量、圧力変化、エッチング時間の何れか一つ以上であることを特徴とする請求項4記載の半導体デバイスの製造方法。

【請求項 9】

前記準備工程において、前記プロセスパラメータを変動させた際のテストパターンの3次元形状の特徴と実回路パターンにおける所定部分についての3次元形状の特徴との間の対応関係を算出する際、各プロセスパラメータに対してフィッティング関数を用いることを特徴とする請求項4記載の半導体デバイスの製造方法。

【請求項 10】

前記準備工程において、前記プロセスパラメータを変動させた際のテストパターンの3次元形状の特徴と実回路パターンにおける所定部分についての3次元形

状の特徴との間の対応関係を算出する際、各プロセスパラメータに対して設定されるプロセスウィンドウを用いることを特徴とする請求項4記載の半導体デバイスの製造方法。

【請求項11】

予め、半導体製造プロセスにおけるプロセスパラメータを変動させてテストパターンおよび実回路パターンを形成したサンプルウェハを作成し、該サンプルウェハとして作成した前記テストパターンの3次元形状の特徴と前記実回路パターンにおける所定の部分についての3次元形状の特徴とを測定し、該測定されたプロセスパラメータを変動させた際のテストパターンの3次元形状の特徴と実回路パターンにおける所定部分についての3次元形状の特徴との間の対応関係を算出して準備しておく準備工程と、

所定の製品半導体製造プロセスによりテストパターンおよび実回路パターンを形成して製品半導体デバイスを製造する際、該製品半導体デバイスに形成されたテストパターンの3次元形状の特徴を光学的スキャタロメトリ装置を用いて計測し、前記準備工程で準備されたプロセスパラメータを変動させた際の前記対応関係に基づいて実回路パターンにおける所定部分についての3次元形状の特徴を推測し、該推測される3次元形状の特徴を基に、前記製品半導体デバイスの実回路パターンに対する半導体製造プロセスを評価する評価工程とを有することを特徴とする半導体デバイスの製造方法。

【請求項12】

予め、半導体製造プロセスにおけるプロセスパラメータを変動させてテストパターンおよび実回路パターンを形成したサンプルウェハを作成し、該サンプルウェハとして作成した前記テストパターンの3次元形状の特徴と前記実回路パターンにおける所定の部分についての3次元形状の特徴とを測定し、該測定されたプロセスパラメータを変動させた際の実回路パターンにおける所定の部分の3次元形状の特徴が基準の3次元形状の特徴を満足するプロセスパラメータの範囲を設定し、該設定されたプロセスパラメータの範囲における前記測定されたテストパターンの3次元形状の特徴を算出して準備しておく準備工程と、

所定の製品半導体製造プロセスによりテストパターンおよび実回路パターンを

形成して製品半導体デバイスを製造する際、該製品半導体デバイスに形成されたテストパターンの3次元形状の特徴を光学的スキャタロメトリ装置を用いて計測し、前記準備工程で準備されたプロセスパラメータの範囲における算出されたテストパターンの3次元形状の特徴を基に前記計測されたテストパターンの3次元形状の特徴が前記プロセスパラメータの範囲内であるか否かを判定することにより前記製品半導体デバイスの実回路パターンに対する半導体製造プロセスを評価する評価工程とを有することを特徴とする半導体デバイスの製造方法。

【請求項13】

前記準備工程及び評価工程において、前記プロセスパラメータの範囲がプロセスウインドウであることを特徴とする請求項10記載の半導体デバイスの製造方法。

【請求項14】

予め、半導体製造プロセスにおけるプロセスパラメータを変動させてテストパターンおよび実回路パターンを形成した複数のサンプルウェハに対して前記テストパターンの3次元形状の特徴と前記実回路パターンにおける所定の部分についての3次元形状の特徴とを測定し、該測定されたプロセスパラメータを変動させた際のテストパターンの3次元形状の特徴と実回路パターンにおける所定の部分についての3次元形状の特徴との間の対応関係を算出して準備しておく準備手段と、

所定の製品半導体製造プロセスによりテストパターンおよび実回路パターンを形成して製品半導体デバイスを製造する際、該製品半導体デバイスに形成されたテストパターンの3次元形状の特徴を光学的スキャタロメトリ装置を用いて計測し、該計測されたテストパターンの3次元形状の特徴を基に、前記準備手段で準備されたプロセスパラメータを変動させた際の前記対応関係から前記製品半導体デバイスの実回路パターンに対する半導体製造プロセスを評価する評価手段とを備えたことを特徴とする半導体デバイスの製造システム。

【請求項15】

更に、前記評価手段で評価された半導体製造プロセス情報を製造装置にフィードバックする手段を備えたことを特徴とする半導体デバイスの製造システム。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体メモリや集積演算回路などの半導体デバイスに形成された超微細化回路パターンの製造プロセスを評価して半導体デバイスを製造する半導体デバイスの製造方法及びその製造システムに関する。

【0002】**【従来の技術】**

近年、半導体デバイスに形成された回路パターンが $0.1\mu\text{m}$ 以下の数10nmオーダーの超微細化へと進展してきている。

【0003】

他方、半導体デバイスを製造した際、その製造プロセスを評価する必要がある。

【0004】

ところで、 $0.2\mu\text{m}$ 程度以上の微細化回路パターンの場合、例えば、測長SEM（走査型電子顕微鏡）を用いて上記微細化回路パターンの平面的な形状（2次元形状）を測定するだけで、十分、製造プロセスを評価して製造プロセス管理をすることが可能であった。その他、測長SEMの場合、ウェハに電子線を照射して観察するという原理から電子線照射に弱いパターンに対しダメージを与えてしまう恐れがあることや、ウェハを真空雰囲気内に置かなければいけないため、その準備などに時間がかかるてしまう事などの課題があった。

【0005】

しかしながら、上記のように、 $0.1\mu\text{m}$ 以下の超微細化回路パターンの場合、側壁角度、裾引き、トップ丸み等が影響することになり3次元形状を測定する必要があるため、従来は、例えば、特開平4-273143号公報や特開2001-127125号公報に記載されているように、超微細化回路パターンの対象部分を切断、あるいはFIBなどで削り取り、その断面を断面SEM（Scanning Electron Microscope：走査型電子顕微鏡）などで観察する方法が取られていた。断面SEMは、切断したウェハの断面を観察するための顕微鏡であり、パター

ンの断面形状を直接観察するためのツールである。直接観察されるという利点を持つが、ウェハを切断しなければならないことから量産ラインで用いられることはほとんど無く、プロセス開発の段階に使われることが多い。

【0006】

また、3次元形状を測定する他のツールとして例えば特公平7-52102号公報に記載されているA FM (Atomic Force Microscope：原子間力顕微鏡) も用いられる。A FMによれば、ウェハを切断することなく回路パターンの3次元形状を観察できるが、その測定時間が長いことが課題として挙げられる。

【0007】

また、光学的スキャトロメトリ装置による3次元形状測定技術は、米国特許第5,867,276号明細書及び特表2002-506217号公報において知られている。

【0008】

【特許文献1】

特開平4-273143号公報

【特許文献2】

特開2001-127125号公報

【特許文献3】

特公平7-52102号公報

【特許文献4】

米国特許第5,867,276号明細書

【特許文献5】

特表2002-506217

【0009】

【発明が解決しようとする課題】

半導体デバイスに形成された回路パターンが0.1 μm以下の数10 nmオーダの超微細化へと進展してきている現況からして、3次元形状の計測が必要となり、その結果、上記特許文献1および2に記載された断面SEMによる断面観察による測定では、スループットが低く、測定装置が複雑で高価になるという課題

があった。

また、AFMによれば、測定時間が長いことが課題であった。

また、上記特許文献4および5には、超微細化回路パターンの製造プロセス評価については十分考慮されていなかった。

【0010】

本発明の目的は、上記課題を解決すべく、光学的スキャトロメトリ装置による3次元計測技術を利用して高速で超微細化実回路パターンの製造プロセス評価を可能にして半導体デバイスを製造できるようにした半導体デバイスの製造方法及びその製造システムを提供することにある。

【0011】

また、本発明の他の目的は、光学的スキャトロメトリ装置によるテストパターンの3次元計測結果から、超微細化実パターンの出来映えが適正となるような製造プロセス条件の制御を可能にした半導体デバイスの製造システムを提供することにある。

【0012】

【課題を解決するための手段】

上記目的を達成するために、本発明は、所定の製造プロセスによりテストパターンおよび実パターンを形成して半導体デバイスを製造する半導体デバイスの製造方法であって、前記半導体デバイスに形成されたテストパターンの3次元形状の特徴を光学的スキャトロメトリ装置を用いて計測して前記半導体デバイスの実パターンに対する製造プロセスを評価することを特徴とする半導体デバイスの製造方法である。

【0013】

また、本発明は、予め、半導体製造プロセスにおけるプロセスパラメータを変動させてテストパターンおよび実回路パターンを形成したサンプルウェハを作成し、該サンプルウェハとして作成した前記テストパターンの3次元形状の特徴と前記実回路パターンにおける所定の部分についての3次元形状の特徴とを測定し、該測定されたプロセスパラメータ（製造プロセス条件）を変動させた際のテストパターンの3次元形状の特徴と実回路パターンにおける所定の部分についての

3次元形状の特徴との間の対応関係を算出して準備しておく準備工程と、所定の製品半導体製造プロセスによりテストパターンおよび実回路パターンを形成して製品半導体デバイスを製造する際、該製品半導体デバイスに形成されたテストパターンの3次元形状の特徴を光学的スキャタロメトリ装置を用いて計測し、該計測されたテストパターンの3次元形状の特徴を基に、前記準備工程で準備されたプロセスパラメータを変動させた際の前記対応関係から前記製品半導体デバイスの実回路パターンに対する半導体製造プロセスを評価する評価工程とを有することを特徴とする半導体デバイスの製造方法である。

【0014】

また、本発明は、前記半導体デバイスの製造方法の準備工程において、前記テストパターンの3次元形状の特徴と前記実回路パターンにおける所定の部分についての3次元形状の特徴との測定をAFM観察を用いて行うことを特徴とする。

また、本発明は、前記半導体デバイスの製造方法の準備工程において、前記テストパターンの3次元形状の特徴の測定を光学的スキャタロメトリ装置を用いて行い、前記実回路パターンにおける所定の部分についての3次元形状の特徴の測定をAFM観察又は断面SEM観察によって行うことを特徴とする。

【0015】

また、本発明は、前記半導体デバイスの製造方法の準備工程及び評価工程において、半導体製造プロセスが半導体露光・現像プロセスであり、そのプロセスパラメータとして露光量、フォーカス値の何れか一つ以上であることを特徴とする。

また、本発明は、前記半導体デバイスの製造方法の準備工程及び評価工程において、半導体製造プロセスが半導体エッチングプロセスであり、そのプロセスパラメータとしてガス流量、圧力変化、エッチング時間の何れか一つ以上であることを特徴とする。

【0016】

また、本発明は、前記半導体デバイスの製造方法の準備工程において、前記プロセスパラメータを変動させた際のテストパターンの3次元形状の特徴と実回路パターンにおける所定部分についての3次元形状の特徴との間の対応関係を算出

する際、各プロセスパラメータに対してフィッティング関数を用いることを特徴とする。

また、本発明は、前記半導体デバイスの製造方法の準備工程において、前記プロセスパラメータを変動させた際のテストパターンの3次元形状の特徴と実回路パターンにおける所定部分についての3次元形状の特徴との間の対応関係を算出する際、各プロセスパラメータに対して設定されるプロセスウィンドウを用いることを特徴とする。

【0017】

また、本発明は、予め、半導体製造プロセスにおけるプロセスパラメータを変動させてテストパターンおよび実回路パターンを形成したサンプルウェハを作成し、該サンプルウェハとして作成した前記テストパターンの3次元形状の特徴と前記実回路パターンにおける所定の部分についての3次元形状の特徴とを測定し、該測定されたプロセスパラメータ（製造プロセス条件）を変動させた際のテストパターンの3次元形状の特徴と実回路パターンにおける所定部分についての3次元形状の特徴との間の対応関係を算出して準備しておく準備工程と、所定の製品半導体製造プロセスによりテストパターンおよび実回路パターンを形成して製品半導体デバイスを製造する際、該製品半導体デバイスに形成されたテストパターンの3次元形状の特徴を光学的スキャタロメトリ装置を用いて計測し、前記準備工程で準備されたプロセスパラメータを変動させた際の前記対応関係に基づいて実回路パターンにおける所定部分についての3次元形状の特徴を推測し、該推測される3次元形状の特徴を基に、前記製品半導体デバイスの実回路パターンに対する半導体製造プロセスを評価する評価工程とを有することを特徴とする半導体デバイスの製造方法である。

【0018】

また、本発明は、予め、半導体製造プロセスにおけるプロセスパラメータを変動させてテストパターンおよび実回路パターンを形成したサンプルウェハを作成し、該サンプルウェハとして作成した前記テストパターンの3次元形状の特徴と前記実回路パターンにおける所定の部分についての3次元形状の特徴とを測定し、該測定されたプロセスパラメータ（製造プロセス条件）を変動させた際の実回

路パターンにおける所定の部分の3次元形状の特徴が基準（良品）の3次元形状の特徴を満足するプロセスパラメータの範囲（製造プロセス条件の範囲）を設定し、該設定されたプロセスパラメータの範囲における前記測定されたテストパターンの3次元形状の特徴（即ち、プロセスパラメータ（製造プロセス条件）を変動させた際のテストパターンの3次元形状の特徴と実回路パターンにおける所定の部分についての3次元形状の特徴との間の対応関係）を算出して準備しておく準備工程と、所定の製品半導体製造プロセスによりテストパターンおよび実回路パターンを形成して製品半導体デバイスを製造する際、該製品半導体デバイスに形成されたテストパターンの3次元形状の特徴を光学的スキヤタロメトリ装置を用いて計測し、前記準備工程で準備されたプロセスパラメータの範囲における算出されたテストパターンの3次元形状の特徴を基に前記計測されたテストパターンの3次元形状の特徴が前記プロセスパラメータの範囲内であるか否かを判定することにより前記製品半導体デバイスの実回路パターンに対する半導体製造プロセスを評価する評価工程とを有することを特徴とする半導体デバイスの製造方法である。

【0019】

また、本発明は、前記半導体デバイスの製造方法の準備工程及び評価工程において、前記プロセスパラメータの範囲がプロセスウインドウであることを特徴とする。

また、本発明は、前記半導体デバイスの製造方法において、前記半導体製造プロセスが半導体露光現像プロセスであることを特徴とする。また、本発明は、前記半導体デバイスの製造方法において、前記半導体製造プロセスが半導体エッチングプロセスであることを特徴とする。

【0020】

また、本発明は、予め、半導体製造プロセスにおけるプロセスパラメータを変動させてテストパターンおよび実回路パターンを形成した複数のサンプルウェハに対して前記テストパターンの3次元形状の特徴と前記実回路パターンにおける所定の部分についての3次元形状の特徴とを測定し、該測定されたプロセスパラメータ（製造プロセス条件）を変動させた際のテストパターンの3次元形状の特

徴と実回路パターンにおける所定の部分についての3次元形状の特徴との間の対応関係を算出して準備しておく準備手段と、所定の製品半導体製造プロセスによりテストパターンおよび実回路パターンを形成して製品半導体デバイスを製造する際、該製品半導体デバイスに形成されたテストパターンの3次元形状の特徴を光学的スキャタロメトリ装置を用いて計測し、該計測されたテストパターンの3次元形状の特徴を基に、前記準備手段で準備されたプロセスパラメータを変動させた際の前記対応関係から前記製品半導体デバイスの実回路パターンに対する半導体製造プロセスを評価する評価手段とを備えたことを特徴とする半導体デバイスの製造システムである。

【0021】

また、本発明は、前記半導体デバイスの製造システムにおいて、更に、前記評価手段で評価された半導体製造プロセス情報を製造装置にフィードバックする手段を備えたことを特徴とする。

【0022】

【発明の実施の形態】

本発明に係る0.1μm以下の超微細の回路パターンを有する半導体デバイスの製造方法の実施の形態について図面を用いて説明する。

【0023】

図1は本発明に係る半導体デバイスを製造する際のリソグラフィ工程の流れを示したものである。リソグラフィ工程は、露光・現像によりレジストパターンを形成するホト工程S11と、レジストパターンを被加工膜に転写するエッチング工程S12からなる。予め、半導体ウェハ上に加工を行う最良の薄膜を生成しておく(S10)。この薄膜上に、感光材であるレジストを所定の厚さで塗布し(S111)、露光装置を用いてマスクパターンを露光し(S112)、その後、現像することによってレジストパターンが生成される(S113)。形成されたレジストパターンは、各種の測定器によりその形状が測定され(S114)、規格を満たさない場合はレジストパターンを剥離し(S115)、レジスト塗布工程S111に戻され、露光条件を変更後パターンの再形成を行う。

【0024】

次に、形成されたレジストパターンをマスクとして、レジストの下に生成しておいた薄膜にエッチング処理を施することでレジストパターンを転写、回路パターンを形成する（S121）。現在、半導体の超微細の回路パターンの多くは、プラズマを用いたドライエッチングにより加工される。S122においてレジストを除去したあと、レジストパターンと同様、各種の測定器によりその形状を測定する（S123）。エッチング処理の場合は、ウェハの再処理は行えないため、異常が確認された場合はウェハの着工を中止し、原因の調査・対策が行われる（S124）。パターンが正常に形成されている場合は、成膜・ホト・エッチングの工程を同様に繰り返し多層回路を生成する。

【0025】

ホト及びエッチング工程（S11、S12）において、3次元形状（立体形状）測定の対象となる超微細の回路パターンの形状の一実施例として、ウェハ上に形成されたラインパターンの断面図を図2（a）、（b）に示す。本図2（a）（b）において、超微細の回路パターン部701の材質は、ホト工程後のパターンであればレジストであるし、エッチング後のパターンであればパターン形成のターゲットとなる薄膜となる。図2（a）、（b）には、超微細の回路パターンの3次元形状（立体形状）を特徴づける形状特徴の一実施例として、線幅702、膜厚703、側壁角度704、裾引き705、トップ丸み（上部丸み）706、ノッチ深さ707、ノッチ高さ708を示している。また、線幅については、その高さ方向の測定位置の違いにより、トップ部の線幅702（a）、中間部の線幅702（b）、底部の線幅702（c）を示している。

【0026】

また、図3は、3次元形状（立体形状）測定の対象となる超微細の回路パターンの形状の他の一実施例として、穴パターンの断面図を示している。穴パターンにおいては、その上部径801、側壁角度802、上部丸み803、底部丸み804、底部径805等が、その3次元形状を特徴づける形状特徴となる。

【0027】

図4は、半導体デバイスを製造するための半導体ウェハに形成される超微細の実回路パターンを上から観察した実施例を示している。図4（a）はラインパタ

ーン901とスペースパターン902が並んでいるライン&スペース実パターンであり、図4（b）は、穴パターン903が並んでいる実パターンである。半導体のウェハでは、このようにパターンが規則正しく並んだ実パターンのみならず、図4（c）や図4（d）の様に、各種パターンがランダムに配置された実パターンもありうる。このように上部から実パターンを見た場合には、パターン901の角の丸み904やパターンエッジの揺らぎ905、パターン間の間隔906なども形状特徴となる。

【0028】

ところで、図2から図3に示した超微細の実回路パターン（以降単に実回路パターンと称する）の断面形状は、ホト及びエッチング工程のプロセス条件が変動するに従い様々に変化する。例えばホト工程については、パターンを露光する際の露光量とフォーカス値が主要なプロセス条件であり、これらの値が変動するに従って作成される実回路パターンの形状が変化する。また、エッチング工程においては、エッチングガスの種類、ガスの流量、圧力、エッチング時間、プラズマ放電電力、試料に印可するバイアス電力、ウェハ温度などが、実回路パターンの形状変化を引き起こすプロセス条件となる。

【0029】

半導体の製造現場では、ホト工程、エッチング工程のいずれにおいても工程後の実回路パターンの形状がある基準を満たすように各種のプロセス条件を調整し（通常、条件だしと呼ばれる）その条件にしたがってウェハ製造するが、それらのプロセス条件は時間と共に変動（ドリフト）することがある。よって、常に生成される実回路パターンの形状を測定し、その実回路パターン形状が基準を満たしているかをモニタリングする必要がある。

【0030】

そこで、本発明においては、回路パターンの立体形状を高速に測定（観測）できる光学的スキヤタロメトリ装置を用いることにある。しかしながら、光学的スキヤタロメトリ装置を用いた場合、計測原理から、図4に示すような様々な実回路パターンを測定することが困難となる。そこで、本発明においては、光学的スキヤタロメトリ装置を用いて、図5に示す如く、半導体ウェハ1にチップ300

が配列され、そのスクライブ領域302、303にチップ本体301内の実回路パターンと同様の工程で製造される超微細なテストパターン（以降、単にテストパターンと称する。）（例えば、図6に示すように、パターン線305Lとスペース部305Sから構成される同一ラインパターンが多数整列したライン&スペースパターン）305の3次元形状を計測することによって、実回路パターンにおけるクリティカル回路パターンの3次元形状を推測することにある。従って、できるだけ推測精度を向上させるために、テストパターンの線幅、スペース幅およびスペース部の深さを、クリティカル回路パターンの3次元形状に近似させることが必要となる。また、テストパターン305は、同一パターンがある方向に繰り返される関係で、X方向に繰り返すテストパターンとY方向に繰り返すテストパターンをスクライブ領域302、303に設けることによって、方向性の影響を無くすことが可能となる。また、テストパターン305をスクライブ領域ではないチップ本体301内に設けることも可能である。

【0031】

図7は、本発明に係る光学的スキャタロメトリ装置の一実施例を示す構成図である。白色光光源3からの白色光を対物レンズ4に入射させ、半導体ウェハ1上の測定点であるテストパターン305に照射する。入射光5は特定の角度を持ち、これと光学的に対称な角度を持つ反射光6は、集光レンズ7にて集光されて受光部8で受光される。受光部8からの光は分光部9にて分光され、各波長に対するテストパターン305の反射強度が測定されて記憶部10に記憶される。測定対象である半導体ウェハ1はステージ2上に搭載され、ステージ2を走査することにより、半導体ウェハ1上の任意の箇所のテストパターン305に光を照射可能である。また、ステージ2はXYZ方向と回転方向（θ）に移動することが可能であり、同一測定点に対して、異なるθ角度での分光波形が検出可能である。図8は、その分光反射強度分布101の実施例を示し、横軸102は測定波長λ、縦軸は分光反射強度である。

【0032】

本発明に係る光学的スキャタロメトリ装置20は、図6に示す超微細なテストパターン305を測定対象として、図7に示す光学系を用いて分光部9から検出

して記憶部10に記憶された散乱光強度分布と、モデル化した繰り返しパターン形状（3次元形状）から発生する散乱光強度分布を光学シミュレーション部11における光学シミュレーションによって求めて記憶部12に記憶した結果とを比較部13において比較して双方の散乱光強度分布が一致するようなモデルを上記測定対象のテストパターンの3次元形状を出力ものである。

【0033】

ここで、具体的な実施例として、ウェハ露光工程のプロセス条件判定に、光学的スキャタロメトリ装置を用いる場合について説明する。ウェハ露光工程における主要なプロセス条件は、その露光量とフォーカスである。図9は、露光量とフォーカス値が変動することにより生じる超微細な配線の断面パターンの形状変化を模式的に表現したものである。この図9により、露光量の変化に起因して線幅が変化する様子とフォーカス値の変化に起因して配線の側面の傾斜角が変化する様子がわかる。

【0034】

このように、露光量とフォーカス値の変化により超微細なパターンの3次元形状が変化することを利用すれば、実ウェハにおいてテストパターン305の断面形状の配線幅、側壁角度を計測（調査）することで、そのプロセスの露光量・フォーカス値を求めることができる。

【0035】

光学的スキャタロメトリ装置20において、図9に示すように露光・現像されたテストパターン305の3次元形状を計測するために、予め定義しておく断面形状のモデル500a、500bを図10（a）（b）に示す。即ち、テストパターン305が、例えば、図6に示すライン&スペースの場合、図10（a）（b）に示すような断面形状のモデル500a、500bを構築する。モデル500a、500bは、ライン部502とスペース部501からなり、断面形状のパラメータとして、例えば、図10（a）に示すように、上部幅Wt、下部幅Wb、側壁角度Ab及び膜厚Hcなどを設定し、該各パラメータに様々な値を代入することで、図9に示す様々な断面形状を表現することができる。当然、中間幅、上部丸み、下部丸み、ノッチ深さ、ノッチ高さ等を考慮する場合には、断面形状の

モデルとして用意する必要がある。図10（b）には、断面形状のパラメータとして、上部幅 W_t 、下部幅 W_b 、側壁角度 A_b 及び膜厚 H_c の外に、中間幅 W_m 及び上部丸み R_t を設定する場合を示す。

【0036】

以上説明したように、それぞれの断面形状のパラメータの上限・下限値及び変化ステップを決め、全ての組み合わせの形状モデルについて、その散乱光強度分布を光学シミュレーション部11によって計算し、記憶部12にライブラリとして記憶しておく。即ち、ライブラリの作成では、まず、各断面形状のパラメータの上限・下限値及び変化ステップを図9に示した形状変化の範囲から求める。例えば、設計線幅が80nm、膜厚が100nm、側壁角度が90度である場合には、 W_t 、 W_b の変化を70nm～90nmまで1nmステップ間隔、 H_c を90nm～110nmまで1nmステップ、 A_b を88～92度まで1度ステップなどとする。この上限値や下限値やステップは、露光量やフォーカス値などの露光プロセス条件をどの程度細かく制御するかにより決定される。そして、光学シミュレーション部11においてそれら断面形状のパラメータ値の全組み合わせの形状モデルについて、その散乱光強度分布を計算する。そして、計算された全ての散乱光強度分布をライブラリとして記憶部12に記憶する。なお、様々な形状モデルについて散乱光強度分布を計算する際、テストパターン305の材質（レジストパターンや金属薄膜パターン等）や光学的スキヤタロメトリ装置の白色光の照明条件（照明強度や照明角度や照明光束径）に応じて補正係数を求めて補正することによって、光学的スキヤタロメトリ装置から検出される散乱光強度分布に合わせることが可能となる。

【0037】

製品製造時に、半導体デバイスを製造するための半導体ウェハ1に超微細の実回路パターンと共に形成されたテストパターン305の断面形状（3次元形状）を計測する際、図7に示す光学系を用いてテストパターン305の散乱光強度分布を分光部9から測定して記憶部10に記憶する。制御CPUで構成される比較部（検索部）13は、記憶部10に記憶された測定散乱光強度分布と最も一致する散乱光強度分布をライブラリ12の中から検索し、その検索されたライブラリ

の散乱光強度分布に対応する断面形状をテストパターン305の断面形状であるとみなし、その線幅や側壁角度等の断面形状（3次元形状）を取得して出力する。制御C P U 1 3には、キーボードやマウスやネットワーク等の入力手段21、出力手段である表示装置22および記憶装置23等が接続される。また、光学シミュレーション部11は、制御C P Uで構成してもよい。

【0038】

以上により、半導体ウェハ1上に実回路パターンと同じプロセス条件でチップに対応させて形成されたテストパターン305の多くのものの断面形状（3次元形状）が計測することができ、実回路パターンにおけるクリティカルな実回路パターンの断面形状を推測して良品の半導体デバイスが高歩留りで製造することができるか評価することが可能となる。

【0039】

しかし、光学的スキャタロメトリ装置20は、繰り返しパターンしか断面形状を計測することができないので、例えばテストパターン305のライン部またはスペース部に欠陥があった場合には、断面形状が誤認識（誤計測）される可能性があるため、光学的スキャタロメトリ装置20に並設された測長S E M（図示せず）で上記超微細なテストパターン305の2次元画像（平面画像）を取得してテストパターン305に欠陥が存在するかどうかを調べ、欠陥が存在する場合には、光学的スキャタロメトリ装置から計測される断面形状が正確でないと判定することも可能となる。また、光学的スキャタロメトリ装置20で計測されたテストパターンの断面形状（3次元形状）における上部の2次元形状と測長S E Mで測定されたテストパターンの上部の2次元形状とを比較して不一致度を調べ、該調べられた不一致度を光学的スキャタロメトリ装置20の光学シミュレーション部11にフィードバックして形状モデルに対して補正することが可能となる。

【0040】

次に、光学的スキャタロメトリ装置20で計測されたテストパターン305の3次元形状を基に、同じプロセス条件で半導体ウェハ1上に形成された実回路パターンにおけるクリティカルな部分の実回路パターンの3次元形状を推測することについて具体的に説明する。即ち、チップ内に形成する実回路パターン（ラン

ダム回路パターンも存在する。) の3次元形状からなる設計データは、設計CADシステム(図示せず)から取得することは可能である。ところで、半導体ウェハ1上に形成されるテストパターン305も実回路パターンも基本的には同じプロセス条件で形成されるため、より多くはある一定の関係を有することになるが、実回路パターンの場合、様々な形状の回路パターンが存在する関係で、良品の半導体デバイスを製造するために、周囲の回路パターンの影響を受ける最も条件が厳しい部分(クリティカルな部分)が存在することになる。そこで、光学的スキヤタロメトリ装置で計測されたテストパターン305の3次元形状を基に、クリティカルな部分の実回路パターンの3次元形状を推測して製造プロセス条件を評価する必要がある。そのため、予め、上記テストパターン305の3次元形状と、クリティカルな部分の実回路パターンの3次元形状との対応付けをしておく必要がある。なお、クリティカルな部分については、設計データを表示装置に出力し、該出力された設計データから経験的に指定して制御CPU13に入力することが可能となる。

【0041】

次に、本発明に係る半導体デバイスの製造システムである計測システムの第1の実施例について図11を用いて説明する。本計測システムの第1の実施例は、光学的スキヤタロメトリ装置20、測長SEM1604、AFM1603及び断面SEM1602などの測定器や、製造装置である露光装置1612やエッチャ装置1613などがネットワーク1601上に接続され、更に、これらの各装置がサーバ1606とデータ通信可能に構成されている。なお、光学的スキヤタロメトリ装置20は、測長SEM1604と並設させて上記計測システムから独立させることも可能である。

【0042】

上記サーバ1606内には、テストパターン及び実回路パターンについての形状特徴の測定データを記憶する形状特徴記憶部1607と、プロセス条件と形状特徴間の対応算出部1608と、実回路パターン算出部1609と、レシピ記憶部1610と、実回路パターン形状とテストパターン形状間の関係づけの内容を記憶する対応関係記憶部1611と、表示部1614とを備えて構成される。な

お、記憶部1607、1610、1611は一つの記憶部で、算出部1608、1609を一つの算出部で構成することも可能である。また、レシピ記憶部1610には、前処理S20のためのデータを取得するためのサンプルウェハの識別番号やデータを測定するチップ、テストパターン及びクリティカルな実回路パターンのそれぞれのチップ内での位置情報、どの形状特徴を実際に測定するかの情報、また、各測定対象がどのような条件で製造されたかという情報、及びどのテストパターンとどの実パターンとを対応させて実パターン形状の予測に用いるかを示す情報がレシピとして格納されている。更に、表示部1614には、算出部1608、1609での一連の処理の経過及び処理結果を表示することも可能である。

【0043】

次に、本発明に係る予め準備をしておく前処理S20と、製品製造時に製造プロセス条件を評価する測定処理S30との実施例について説明する。

【0044】

まず、前処理S20では、量産段階において測定したい半導体デバイスと同一の設計パターンを用いて、1以上のプロセスパラメータを変動させてパターンを形成させた試料（半導体ウェハ）を作成しておく。例えば、ホト工程では、露光量とフォーカス値をある一定の間隔で変更させてパターンを焼き付けたFEM（Focus Exposure Matrix）と呼ばれるウェハを作成する。エッチング工程に対してもプロセスパラメータを変動させてパターンを形成する。但しホト工程と違い、エッチング工程では、ウェハ上に形成されたチップ毎にプロセス条件を変動させてパターンを形成するのは困難であり、この様な場合はプロセスを変動させて作成した複数のウェハを用いることになる。なお、ウェハ上の各チップには、スキヤトロメトリでの測定が可能な繰り返しパターンからなるテストパターン（ウェハ内のスクライブライン上に限らず実チップ領域内であってもスキヤトロメトリで計測が可能な繰り返しパターンについても、ここではテストパターンと称することにする。）と、実回路パターンとが混在してある。このテストパターンは図2や図3に示す様な断面を有し、図4（a）（b）のような外観を持つエリアに形成される。

【0045】

まず、本発明に係る予め準備をしておく前処理S20の第1の実施例S20aと、製品製造時に製造プロセス条件を評価する測定処理S30の第1の実施例S30aについて図12を用いて説明する。

【0046】

本発明に係るテストパターンと実回路パターン内のクリティカルな部分との対応付けする前処理（事前準備）S20に関する第1の実施例S20aは、図10に示す光学的スキャタロメトリ装置における形状モデルデータの項目（上記上部幅W_t、下部幅W_b、側壁角度A_b及び膜厚H_cなど）について、図11に示す計測システムの第1の実施例を用いて実行される。即ち、図12（a）に示すように、異なる多数のプロセス条件（露光工程の場合、露光量およびフォーカス量を変動させる）でテストパターン及び実回路パターンを形成した多数の試料（サンプルウェハ）を準備する（S201）。次に、例えば、パターンの3次元計測が可能なAFM1604を用いてテストパターンの断面形状（3次元形状）およびチップ内のクリティカルな複数個所の実回路パターンの断面形状（3次元形状）を測定し、それぞれ形状特徴記憶部1607に記憶する（S202）。その結果、形状特徴記憶部1607には、図10に示す形状モデルデータの項目（露光工程のプロセス制御の場合について説明する本実施例の場合には、例えば線幅と側壁角度）の値が取得される。この結果、対応算出部1608は、例えば、パターンの線幅及び壁面角度について、レシピ記憶部1610に記憶されたレシピ情報（プロセス条件）に基づいて、同一プロセス条件で作成したテストパターンとクリティカルな実回路パターンのペアを得ることができる。つまり、対応算出部1608は、レシピ情報から得られるプロセス条件とテストパターン及びクリティカルな実回路パターンの例えば線幅と壁面角度の値（3次元形状の特徴値）が対応付けられて対応関係記憶部1611に記憶される（S203）。これを示したのが、図13（a）（b）及び図14（a）（b）である。図13及び図14では、露光量とフォーカス値等（プロセスパラメータの値）の変動に対し、線幅と壁面角度のそれぞれについて、テストパターン及びクリティカルな実回路パターンの値をプロットしたものであり、図13（a）がテストパターンの線幅の変化、

図13（b）が実回路パターンの線幅の変化を示し、図14（a）がテストパターンの壁面角度の変化、図14（b）が実回路パターンの壁面角度の変化を示している。例えば、同一の露光量・フォーカス値において形成したパターンでも、その線幅及び壁面角度は、テストパターンとクリティカルな実回路パターンとで差があることがわかる。それは、実回路パターンにおいては超微細になると周辺の実回路パターンの影響を受けことによる。何れにしても、図13及び図14に示したものが、各プロセス条件におけるテストパターンとクリティカルな実回路パターンとの対応付けとなる。

【0047】

次に、製品製造時における測定処理S30の第1の実施例S30aについて図12（b）を用いて説明する。即ち、製品製造時における測定処理に基づく製造プロセス条件の評価の第1の実施例S30aは、上記対応関係記憶部1611に記憶された対応付けする前処理に関する第1の実施例S20aを基に行われる。まず、光学的スキャタロメトリ装置20は、製品製造時に製造された半導体ウェハ1に形成されたチップのテストパターン305に対して図7に示す光学系を用いてその散乱光強度分布を分光部9から取得して記憶部10に記憶し、そして、検索部13は、事前に作成しておいたライブラリ12とのマッチングによりその断面形状を取得して、図11に示すように、ネットワーク1601を介してサーバ1606の形状特徴記憶部1607に記憶する（S301）。なお、光学的スキャタロメトリ装置20も、サーバ1606から入手したレシピに従い、テストパターンの断面形状の特徴値の測定を行うことができる。ついで、対応関係記憶部1611には、事前に、各断面形状の特徴値が、その形状のテストパターンを作成するためのプロセス条件と対応付けられて記憶されているため、対応算出部1608は、上記形状特徴記憶部1607に取得されたテストパターンの断面形状の特徴値とのマッチングの結果、そのテストパターンのプロセスパラメータである例えば露光量とフォーカス値の値を取得する（プロセス条件を算出する。）（S302）。その後、実回路パターン算出部1609は、例えば、図13及び図14に示す露光量とフォーカス値の値と、テストパターンとクリティカル実回路パターンとの間の3次元形状の特徴値（線幅や側壁角度等）の差との対応を用

いて、対応算出部1608で取得された製造プロセス条件（例えば露光量とフォーカス値）の値から、着目するクリティカル実回路パターン部の3次元形状の特徴値である例えば線幅及び側壁角度の値を推測し（S303）、該推測された着目するクリティカル実回路パターン部の3次元形状の特徴値を表示部1614に出力することによって製造プロセス条件を評価することができる（S304）。なお、表示部1614には、光学的スキャタロメトリ装置20で測定されるテストパターンの3次元形状、その3次元形状のときの製造プロセス条件および該製造プロセス条件のときの推測されるクリティカル実回路パターンの3次元形状の特徴値を並べて表示することによって、製造プロセス条件が適切であるか否かを高信頼性でもって評価することが可能となる。

【0048】

次に、本発明に係る予め準備をしておく前処理S20の第2の実施例S20bと、製品製造時に製造プロセス条件を評価する測定処理S30の第2の実施例S30bについて図12を用いて説明する。

上記前処理S20に関する第1の実施例S20aでは、図13及び図14に示した実回路パターンとテストパターンのプロセス条件との対応付けを例えばAFM（原子間力顕微鏡）による測定データそのものにより行うが、測定データそのものには、測定時の誤差やパターンを製造した時の誤差等が含まれる恐れがある。また、3次元形状データを得る際に、様々なプロセス条件（プロセスパラメータ）である例えば露光量及びフォーカス値で形成したパターンを測定する必要がある。より細かい単位でプロセス条件の検知を行うためには、プロセス条件の変動ステップを細かくする必要があるが、その場合多くの3次元形状データの取得が必要になるため効率的ではない。

【0049】

そこで、プロセス条件である例えば露光量・フォーカス値に対する3次元形状の特徴値である例えば線幅・側壁角度の値をフィッティングによる任意の関数近似により表現する。例えば、線幅の値をL、露光量の値をE、フォーカスの値をFとして、線幅を2次関数で表現できるものとすると、線幅Lは、係数a, b, c, d, e, f, gを用いて、次に示す（1）式で表現できる。

【0050】

$$L = aE^2 + bF^2 + cE \times F + dE + eF + g \quad (1)$$

そして、露光量Eとフォーカス値Fを一定間隔で変化させて形成したパターンを測定して得られた線幅Lのデータを用いて、上記（1）式に対するフィッティングを行うことにより、上記係数a～gの値を求めることができる。

【0051】

これを、クリティカルな実回路パターンの3次元形状の特徴値である例えば線幅（LR）及び壁面角度（AR）について適用すると、各々は、次に示す（2）式及び（3）式により表現できる。

【0052】

$$LR = a_1E^2 + b_1F^2 + c_1E \times F + d_1E + e_1F + g_1 \quad (2)$$

$$AR = a_2E^2 + b_2F^2 + c_2E \times F + d_2E + e_2F + g_2 \quad (3)$$

なお、 $a\{1,2\}$, $b\{1,2\}$, $c\{1,2\}$, $d\{1,2\}$, $e\{1,2\}$, $f\{1,2\}$, $g\{1,2\}$ は、係数である。よって、露光量とフォーカス値とを変動させて形成したチップ内部に存在するクリティカルな実回路パターンに対して例えばAFM（原子間力顕微鏡）1603により線幅LRと側壁角度ARとを測定して形状特徴記憶部1607に記憶する。対応算出部1608は、測定された線幅LR及び側壁角度ARの値を用いて、（2）式及び（3）式をフィッティングさせることで係数 $a\{1,2\} \sim g\{1,2\}$ を求めることができる。更に、対応算出部1608は、上記係数 $a\{1,2\} \sim g\{1,2\}$ と上記（2）式及び（3）式とを用いれば、任意の露光量・フォーカス値と、クリティカルな実回路パターンの特徴値である線幅・壁面角度の値との関係を定義し、対応関係記憶部1611に記憶することができる。

【0053】

次に、製品製造時における測定処理S30の第2の実施例S30bについて説明する。即ち、製品製造時における測定処理に基づく製造プロセス条件の評価S30についての第2の実施例S30bは、予め上記対応関係記憶部1611に記憶された対応付けする前処理に関する第2の実施例S20bを基に行われる。即ち、第1の実施例におけるS301及びS302までは同様とする。即ち、光学的スキャタロメトリ装置20で測定されたテストパターンの断面形状の特徴値が

サーバ1607の形状特徴記憶部1607に記憶され、対応算出部1608は、対応関係記憶部1611に事前に記憶された対応関係から上記測定されたテストパターンの断面形状の特徴値に対応付けられたプロセス条件である露光量とフォーカス値の値を取得する（S301，S302）。その後、実回路パターン算出部1609は、対応算出部1608で取得された露光量とフォーカス値の値をフィッティング関数である上記（2）式及び（3）式に代入することで、上記プロセス条件におけるクリティカルな実回路パターンの例えば線幅LR及び壁面角度LAの値を推測し（S303）、該推測された着目するクリティカル実回路パターン部の3次元形状の特徴値を表示部1614に出力することによって製造プロセス条件を評価することができる（S304）。

【0054】

次に、本発明に係る予め準備をしておく前処理S20の第3の実施例S20cと、製品製造時に製造プロセス条件を評価する測定処理S30の第3の実施例S30cとについて図15を用いて説明する。

【0055】

即ち、上記前処理S20に関する第3の実施例S20cでは、まず、第1及び第2の実施例と同様に、量産段階において測定したい半導体デバイスと同一の設計パターンを用いて、1以上のプロセスパラメータを変動させてパターンを形成させた半導体ウェハを作成しておく（S201）。次に、各半導体ウェハ上のテストパターンの3次元形状の特徴値について光学的スキャタロメトリ装置20を用いて計測を行う。この結果、光学的スキャタロメトリ装置20からは、超微細なテストパターンについての図2に示すような断面形状を特徴づける3次元形状の特徴データを得ることができ、サーバ1606の形状特徴記憶部1607に記憶される（S204）と同時に上記各半導体ウェハに関するレシピ情報がレシピ記憶部1610に記憶される。

【0056】

図16はプロセス条件と3次元形状データの値との対応を示した一実施例である。本図では横軸をホト工程のプロセス条件の一つである露光量、縦軸をテストパターンの配線パターンの配線幅として、露光量と配線幅の関係をプロットした

ものである。この図より露光量が増えるに従い配線幅が減少していく様子を読みとることができる。この図では露光量以外のパラメータを同一にして形成したウェハについてその3次元形状の特徴の1つである線幅データを表示したものであるが、この様なグラフは定義する3次元形状の特徴の数だけ得られることになる。また精度の高いデータを取得するために、1プロセス条件に対して1回のデータ取得を行うのではなく、1プロセス条件において多数回の測定を行う、また多数のテストパターンを対象にデータ取得を行い、得られた複数個のパターンの平均値を用いるなどしてもよい。ここでは、説明を容易にするため変動パラメータ条件を1つとするが、プロセスパラメータが複数ある場合でも同様に考えることができる。実際のホト工程やエッチング工程では、変動させるプロセス条件は通常複数ある。

【0057】

次に、対応算出部1608は、形状特徴記憶部1607及びレシピ記憶部1610に記憶されたこれらのデータからプロセス条件と3次元形状の特徴との対応関係を定義して対応関係記憶部1611に記憶する(S205)。その方法として、例えば最小2乗法による任意関数のフィッティングが挙げられる。これはプロセス条件(プロセスパラメータ)を入力値とし3次元形状の特徴値を出力とする関数を用いてこれらの関係を表現するものであり、実際に用いる処理はプロットされたデータを良く表現できるような関数を見つけることである。関数としては例えば多項式関数や指数関数、対数関数などを用いることができる。用いる関数型やそのパラメータ(多項式場合はその次元数等)によりその関数が表現できるデータは異なるため、関数表現に最適なパラメータをあらかじめ選んでおく。図17の点線グラフ1201は一例として2次曲線で、図16に示した露光量と線幅の関係をフィッティングさせた例を示している。このように、データからフィッティングにより求めた関数により、プロセス条件と3次元形状の特徴との対応関係を定義付けがされる。なお、この関係づけは上述したような関数フィッティング以外で実現してもかまわない。例えば、プロセス条件と3次元形状の特徴値の間をテーブルに格納しておくことも可能である。この場合、パターンを作成したプロセス条件間の中間値における3次元形状の特徴値については、取得データ

から内挿処理により得ることができる。

【0058】

次に、各チップのクリティカルな実回路パターンについての3次元形状データをAFM1603等を用いて取得して形状特徴記憶部1607に記憶する(S206)。ここで実回路パターンは、光学的スキャタロメトリ装置で測定が可能な繰り返しパターン以外の任意のパターンであるため、3次元形状測定には、AFM1603、断面SEM1602等を用いる。実回路パターンは回路パターン内から無限個数選択することができるが、通常の場合そのパターンを正常に形成するためのプロセス条件のマージンが狭いエリア(クリティカル部分)を予め選択するものとする。また、この実回路パターンは、一チップから1個以上選択してもよい。

【0059】

次に、対応算出部1608は、これらのデータについてもプロセス条件と3次元形状の特徴の間を関係付けして対応関係記憶部1611に記憶する(S207)。これは、テストパターンについてそのプロセス条件と3次元形状の特徴の間を関数フィッティングにより関係づけたのと同様に行う。更に、対応算出部1608は、同一のプロセス条件で、テストパターンとクリティカルな実回路パターンとの3次元形状の特徴の間を関係づけてその対応関係(例えば、フィッティング関数F(t)等)を例えば図19に示す形式で対応関係記憶部1611に記憶する(S203)。図18は、テストパターンとクリティカルな実回路パターンの3次元形状の特徴を同一のプロセス条件で比較したグラフである。テストパターンについてのプロセス条件と線幅値の対応関係は黒円で、クリティカルな実回路パターンについてのプロセス条件と線幅値の関係は白ダイヤで記してある。これよりテストパターンとクリティカルな実回路パターン共に、露光量の増大に従って配線幅が減少しているものの、その減少の仕方に違いがあることがわかる。配線幅がプロセス条件により受ける影響がこのように違うのは、各測定領域の近隣領域に存在する他のパターンによりプロセス条件が形状に与える影響が異なるからである。テストパターンとクリティカルな実回路パターンとの関係づけは、それぞれのデータについてのフィッティング関数を関連づけることにより実現する。図

18においては、曲線（1301）がテストパターンについてのフィッティング曲線、曲線（1302）がクリティカルな実回路パターンについてのフィッティング曲線である。これは、例えば図19に示すような表形式にデータを格納することにより行える。図19は、あるチップ内に設けた複数箇所のテストパターンと複数箇所のクリティカルな実回路パターンについてその3次元形状特徴とプロセスパラメータとを関係づけて記憶させた内容を示している。各パターンにおいて線幅、側壁角度などの個々の3次元形状の特徴を定義しておき、テストパターンとクリティカルな実回路パターンとの間の対応関係を対応関係記憶部1611に格納する。

【0060】

ここでテストパターンを複数設けるのは、通常実回路パターンにはその配線幅が異なるパターンが多数あるため、各実回路パターンの配線幅に比較的近い配線幅で形成されるテストパターンを用意した方が、両者の関係を正しく保持できることが期待されるからである。ここで図19に示した表は、図20に示すような2種のテストパターンA1501、パターンB1502と2種のクリティカルな実回路パターンC1503、D1504との関係づけを示した例である。テストパターンA、Bともにライン&スペースパターンであるとし、それぞれ線幅が50nm、80nmであるとする。測定したい実回路パターンはC、Dであり、それぞれ線幅が50nm、80nmのパターンである。線幅と側壁角度の2つの3次元形状の特徴に対して、パターンA、B、C、Dのそれぞれについて、入力をプロセス条件、出力を3次元形状の特徴値とする関数F1a、F2a、F1b、F2b、F1c、F2c、F1d、F2dにより、プロセス条件と3次元形状値の間を関係づけし、さらに、パターンAとパターンC、パターンBとパターンDを対応づけている。この様なデータベースを作成するまでが、前処理S20cである。

【0061】

次に、製品製造時における測定処理S30の第3の実施例S30cについて図15（b）を用いて説明する。即ち、製品製造時における測定処理に基づく製造プロセス条件の評価の第3の実施例S30cは、上記対応関係記憶部1611に

記憶された対応付けする前処理に関する第3の実施例S20cを基に行われる。即ち、製品製造時における測定処理S30cでは、テストパターン305を光学的スキャトロメトリ装置20で測定してその3次元形状を形状特徴記憶部1607に記憶する(S301)。予め、測定対象ウェハ1に対して、ウェハに形成されたチップの中から実際にデータ測定を行うチップとそのチップ内の測定すべきテストパターンの座標位置及び光学的スキャトロメトリ装置20で計測する3次元形状の特徴の種類を設定しておくものとする。

【0062】

次に、実回路パターン算出部1609は、形状特徴記憶部1607に記憶された光学的スキャトロメトリ装置20によるテストパターン305の計測値と、対応関係記憶部1611に記憶された対応関係（例えば、フィッティング関数 F_t 等）に基づいて、チップ内のクリティカルな実回路パターンの3次元形状の特徴を推測（予測）する(S305)。具体的には、まず光学的スキャトロメトリ装置20によるテストパターン305の計測値を基に、その時点のプロセス条件を求める。この際には、前処理においてフィッティング関数を用いる。例えば、その露光量と配線幅が、フィッティング関数 F_t により、配線幅= F_t （露光量）と定義しておけば、その配線幅を与えることで F_t の逆関数を用いて、そのときの露光量を得ることができる。ここで、この条件パラメータ値算出においてプロセスパラメータが複数の場合の取り扱いについて述べる。上述のようにプロセスパラメータが露光量1つである場合には、線幅= F_t （露光量）というフィッティング関数において、その逆関数により、線幅から露光量を求めることができるが、プロセス条件が複数の場合、例えば線幅= F_w （プロセス条件1、プロセス条件2）のようにあらわされる場合、与えられた線幅データのみから、プロセス条件1、2の各々を特定するのは一般には不可能である。この場合は、3次元形状の特徴量を複数利用する。例えば、側壁角度= F_s （プロセス条件1、プロセス条件2）という関係式も、あらかじめ前処理S20bで求めておき、この2つの式により与えられた線幅データ及び側壁角度データからプロセス条件1、2を計算する。一般に求めたいプロセス条件の数以上のフィッティング関数を用いることでプロセス条件を特定できる。

【0063】

即ち、実回路パターン算出部1609は、上記の様に計算されたプロセス条件値をクリティカルな実回路パターンについてのフィッティング関数（ここで、例えば、クリティカルな実回路パターンについてのプロセス条件（露光量）と3次元形状の特徴（配線幅）間の関係を、配線幅=F_r（露光量）としておくものとする）F_rに代入することで、クリティカルな実回路パターンの3次元形状の特徴を算出し、この値を予測値とする（S305）。このようにフィッティングにより求めた関数を用いることで、あらかじめ前処理S20cで定義しておいた3次元形状の特徴について、チップ内の各クリティカルな実回路パターンの値を計算することができる。このようにクリティカルな実回路パターンの3次元形状の特徴が算出されれば、ユーザ若しくは実回路パターン算出部1609はその値を基準値と比較し、その時点でのパターンの出来栄えを評価することが可能である（S304）。

【0064】

更に、上記第1～第3の実施例に共通する製品製造時における測定処理S30について説明する。即ち、製品ウェハの測定時には、そのウェハを光学的スキャタロメトリ装置20に搭載する。そしてサーバ1606からその製品ウェハに対応したレシピをレシピ記憶部1610から光学的スキャタロメトリ装置20に転送し、その内容にしたがってウェハ上のテストパターンの計測を行う。得られた測定値は、サーバ1606に転送され、形状特徴記憶部1607に格納された後、実回路パターン算出部1609において、レシピに設定された、チップ内のクリティカルな実回路パターンの3次元形状の特徴値が算出される。算出された結果は表示部1614に表示され、製造プロセス条件を評価することができる。更に、算出された値は露光装置1612やエッチャ1613等の製造装置に送られ、それらでは得られたデータを基に製造プロセスの制御を行う。

【0065】

上述の実施例では、各種の測定装置とサーバ1606はネットワーク1601を経由して接続されているが、本発明はそのような形態には限られない。例えばサーバ1606の機能が計測装置や製造装置におさめられても良い。

【0066】

このようなシステムにおいて、サーバ1606内の表示部1614や、各測定器、製造装置の表示部（図示せず）では、例えば図21に示すような情報が表示される。即ち、測定中のウェハのレイアウト1701が表示され、測定したチップ1702がハイライトされる。更に、測定対象チップのレイアウト1703が表示され、前処理S20により得たテストパターン1704での3次元形状特徴とクリティカルな実回路パターン1705の3次元形状の特徴の、プロセス条件との関係を表すグラフがグラフ表示部1706に表示される。そして計測されたテストパターンの測定値とそれから算出したクリティカルな実回路パターンの特徴値がその形状モデルと共に形状表示部1707に表示されている。更に、ウェハレイアウト1701においてチップを指定すれば、または、チップレイアウト1703においてクリティカルな実回路パターンを指定すれば、その部位に対応したデータが形状表示部1707に表示される。

【0067】

このような表示部を有することで、ユーザは測定したテストパターンと着目したい実回路パターンの3次元形状を把握することができる。そして、実回路パターンの3次元形状が基準内であるか否かを調べることで、プロセスに問題が発生しているか、プロセスが変動していないか等を確認することができる。

【0068】

次に、本発明に係る予め準備をしておく前処理S20の第4の実施例S20dと、製品製造時に製造プロセス条件を評価する測定処理S30の第4の実施例S30dについて図22及び図23を用いて説明する。

【0069】

図22は、これら第4の実施例を実行する半導体デバイスの製造システムである計測システムの第2の実施例を示す。該計測システムの第2の実施例において、図11に示す第1の実施例と相違する点は、サーバ1606内に、実回路パターン算出部1609の代わりにプロセス判定部2102を設け、更にプロセスウインドウ記憶部2101を設けたことにある。それに伴って、レシピ記憶部1610には、どのテストパターンとどの実回路パターンとを対応させてプロセスウ

インドウを定義するかを示す情報がレシピとして、格納されることになる。

【0070】

図23には、本発明に係るプロセスモニタリング法を説明するフローチャートを示す。本フローは、予め準備をしておく前処理S20dと製品製造時に製造プロセス条件を評価する後処理S30dの二つからなる。前処理S20dの内、プロセス条件判定処理S208以外の部分については、図12および図15に示した第1～第3の実施例における測定処理の前処理S20a～S20cと同一であるため、ここでは説明を省略する。対応算出部1608は、プロセス条件判定処理S208において、実回路パターンエリア（特にクリティカルな部分）についてその回路パターンの3次元形状が基準どおり製造されるためのプロセス条件を設定する。つまり、対応算出部1608は、形状特徴記憶部1607に記憶された、さまざまに製造プロセス条件（プロセスパラメータ）を変動させて作成された各実回路パターンの3次元形状から、その実回路パターンを基準どおり作成することができる製造プロセス条件を決定する。対応算出部1608は、図24に示すような例えば2つの製造プロセス条件を変動させて形成した実回路パターンの断面変化（灰色部がパターン部）を表示部1614に表示し、そのパターン形状が基準内であるプロセス条件を指定して入力することによってその実回路パターンを基準どおり作成することのできる製造プロセス条件を決定することができる。図中太点線で囲まれたエリアは、一般的にプロセスウィンドウ1901と呼ばれ、そのパターンが基準を満たしているプロセス条件の範囲を意味する。本前処理S20dにおいて、複数のクリティカルな実回路パターン及びテストパターンの3次元形状を測定すれば、このようなプロセスウィンドウが測定領域毎、つまり各々のクリティカルな実回路パターン、テストパターンの数だけ定義されることになる。図25はその様子を示したもので、チップ2004内の、クリティカルな実回路パターン1（2002）、クリティカルな実回路パターン2（2002）、テストパターン2003についてそのプロセスウィンドウの関係を示したものである。まず、対応算出部1608は、形状特徴記憶部1607に記憶されたクリティカルな実回路パターンのそれぞれについて、プロセスウィンドウを求める。ここで実回路パターン毎に基準（良品）となる実回路パターン、つまり

正常に形成されるべき実回路パターンの基準は、同一であっても異なっていても良い。各パターンの実回路での役割が異なる場合には、基準が異なる場合がある。図中の太点線2005、2006は実回路パターン1、2、についてのプロセスウィンドウを示しており、その範囲となるプロセス条件が異なる場合を図示している。

【0071】

そして、対応算出部1608は、複数のクリティカルな実回路パターンを正常に形成することができるプロセス条件を意味するプロセスウィンドウ2005、2006の重なりの部分2007を求め、テストパターンに対するプロセスウィンドウとしてプロセスウィンド記憶部2101に記憶されることになる。即ち、テストパターンに対して決定されるプロセスウィンドウ2007は、複数のクリティカルな実回路パターンを正常に形成することができるプロセス条件を意味することになる。

【0072】

このように、前処理S20dにおいて、プロセス条件を変動させて形成したテストパターンの3次元形状特徴データは形状特徴記憶部1607に記憶され、そのときのプロセス条件値はレシピ記憶部1610に記憶され、そのテストパターンに対するプロセスウィンドウ2007のデータはプロセスウィンドウ記憶部2101に記憶される。これにより、対応算出部1608は、プロセスウィンドウ記憶部2101に記憶されたテストパターンに対するプロセスウィンドウ2007のデータを基に、テストパターンの3次元形状とクリティカルな実回路パターンを正常に製造するためのプロセス条件との対応を取ることができ、対応関係記憶部1611に記憶することになる。

【0073】

次に、製品製造時に製造プロセス条件を評価する測定処理S30の第4の実施例S30dとについて説明する。第4の実施例S30dでは、まず、製品ウェハのテストパターンを光学的スキヤタロメトリ装置20で測定し、そのテストパターンの3次元形状特徴を取得して形状特徴記憶部1607に記憶させる。そして、プロセス判定部2102は、形状特徴記憶部1607に記憶されたそのテスト

パターンの3次元形状特徴を用いて、対応関係記憶部1611に記憶されたプロセス条件との対応関係に基づいてそのときのプロセス条件を特定する。更に、プロセス判定部2102は、前処理S20dにおいて求めておいた、製造プロセス条件（例えば、プロセス条件1およびプロセス条件2）とクリティカルな実回路パターンのプロセスウインドウ（例えば重なり部2007）との対応関係と、その時点での製造プロセス条件を比較することで、その時点での製造プロセス条件が適切かどうかを判定し、その結果を出力部である表示部1614に出力することができる。この際、現在の製造プロセス条件がプロセスウインドウ内にあるか否か、つまりその時点でのプロセスが良いか悪いかという2者択一の出力することもできるし、さらに細かいプロセス制御を行うこともできる。例えば、図25において、複数のクリティカルな実回路パターンのプロセスウインドウ2005、2006の重なりである、テストパターンのプロセスウインドウ2007に対し、例えばその中心を製造プロセスの最適値と定義すれば、プロセス判定部2102は、その時点での製造プロセスの条件とその最適値のずれを計算し、ネットワーク1601を介して、ずれ量を露光装置1612やエッチャ1613等の製造装置にフィードバックすることで製造プロセスの制御を行うこと（修正すること）も可能となる。

【0074】

なお、計測システムの第2の実施例においては、サーバ1606内の表示部1614や、各測定器、製造装置の表示部（図示せず）には、例えば図26に示すような情報を表示することが可能である。即ち、測定中のウェハのレイアウト1701が表示され、測定したチップ1702がハイライトされている。測定対象チップのレイアウト1703が表示され、前処理S20dにより得たクリティカルな実回路パターンのプロセスウインドウ2204及びテストパターンのプロセスウインドウ2203がプロセスウインドウ表示部2201に表示されている。そして計測されたテストパターンの測定値はテストパターンの測定値表示部2205に、また、その値から算出したプロセス条件2002は、プロセスウインドウ表示部2201内に表示される。このような表示部を有することで、プロセスに問題が発生しているか、プロセスが変動していないか等を確認することができ

る。

【0075】

また、上述の実施例では、各種の測定装置とサーバ1606はネットワーク1601を経由して接続されているが、本発明はそのような形態には限られない。例えばサーバ1606の機能が計測装置や製造装置におさめられても良い。

【0076】

【発明の効果】

以上で説明したように、本発明によれば、光学的スキャトロメトリ装置による3次元計測技術を利用して高速で超微細化実回路パターンの製造プロセス評価を可能にして半導体デバイスを製造することができる効果を奏する。

【0077】

また、本発明によれば、光学的スキャトロメトリ装置によるテストパターンの3次元計測結果から、超微細化実パターンの出来映えが適正となるような製造プロセス条件の制御が可能となる効果を奏する。

【図面の簡単な説明】

【図1】

本発明に係る半導体デバイスの製造工程におけるホト工程とエッチング工程を示す図である。

【図2】

本発明に係る超微細なラインパターンの断面形状を説明するための図である。

【図3】

本発明に係る超微細な穴パターンの断面形状を説明するための図である。

【図4】

本発明に係る超微細な実回路パターンを上方から平面的に観察した場合を示す図である。

【図5】

本発明に係る半導体ウェハとチップを示す図である。

【図6】

本発明に係るライン&スペースパターンからなるテストパターンの一実施例を

示す斜視図である。

【図 7】

本発明に係る光学的スキャタロメトリ装置の一実施例を示す構成図である。

【図 8】

テストパターンを測定対象としたとき、図 7 に示す分光部から得られる散乱光強度分布の一実施例を示す図である。

【図 9】

露光量とフォーカス値が変動したことにより生じる超微細な配線の断面パターンの形状変化を模式的に示した図である。

【図 10】

本発明に係る光学的スキャタロメトリ装置でテストパターンの3次元形状を計測するために、予め定義をしておくラインパターンの断面形状のモデルの実施例を示す図である。

【図 11】

本発明に係る半導体デバイスの製造システムである計測システムの第1の実施例の構成を示す図である。

【図 12】

本発明に係る予め準備をしておく前処理の第1及び第2の実施例と、製品製造時に製造プロセス条件を評価する測定処理の第1及び第2の実施例とを示す処理フロー図である。

【図 13】

本発明に係るプロセス条件である露光量及びフォーカス値における線幅についてのテストパターンと実回路パターンとの対応関係を説明するための図である。

【図 14】

本発明に係るプロセス条件である露光量及びフォーカス値における壁面角度についてのテストパターンと実回路パターンとの対応関係を説明するための図である。

【図 15】

本発明に係る予め準備をしておく前処理の第3の実施例と、製品製造時に製造

プロセス条件を評価する測定処理の第3の実施例とを示す処理フロー図である。

【図16】

プロセス条件である露光量とテストパターンの3次元形状の特徴である線幅との関係を示す図である。

【図17】

プロセス条件である露光量とテストパターンの3次元形状の特徴である線幅との関係を、フィッティング関数を用いて示した図である。

【図18】

プロセス条件として露光量とし、3次元形状の特徴を線幅としたときにおいて、テストパターンとクリティカルな実回路パターンの対応関係を示す図である。

【図19】

複数箇所のテストパターンと複数個所のクリティカルな実回路パターンについてその3次元形状の特徴とプロセスパラメータとを表形式で関係付けて記憶させたデータを示す図である。

【図20】

チップにおけるテストパターンとクリティカルな実回路パターンを示す図である。

【図21】

図11に示す計測システムの第1の実施例で測定された結果を表示する実施例を示す図である。

【図22】

本発明に係る半導体デバイスの製造システムである計測システムの第2の実施例（プロセスマニタリングシステム）の構成を示す図である。

【図23】

本発明に係る予め準備をしておく前処理の第4の実施例と、製品製造時に製造プロセス条件を評価する測定処理の第4の実施例とを示す処理フロー図である。

【図24】

プロセス変動と3次元形状変化の関係に対してプロセスウィンドウを設定することを説明するための図である。

【図25】

実回路パターン及びテストパターンに対して設定されるプロセスウィンドウの例示図である。

【図26】

図22に示す計測システムの第2の実施例で測定された結果を表示する実施例を示す図である。

【符号の説明】

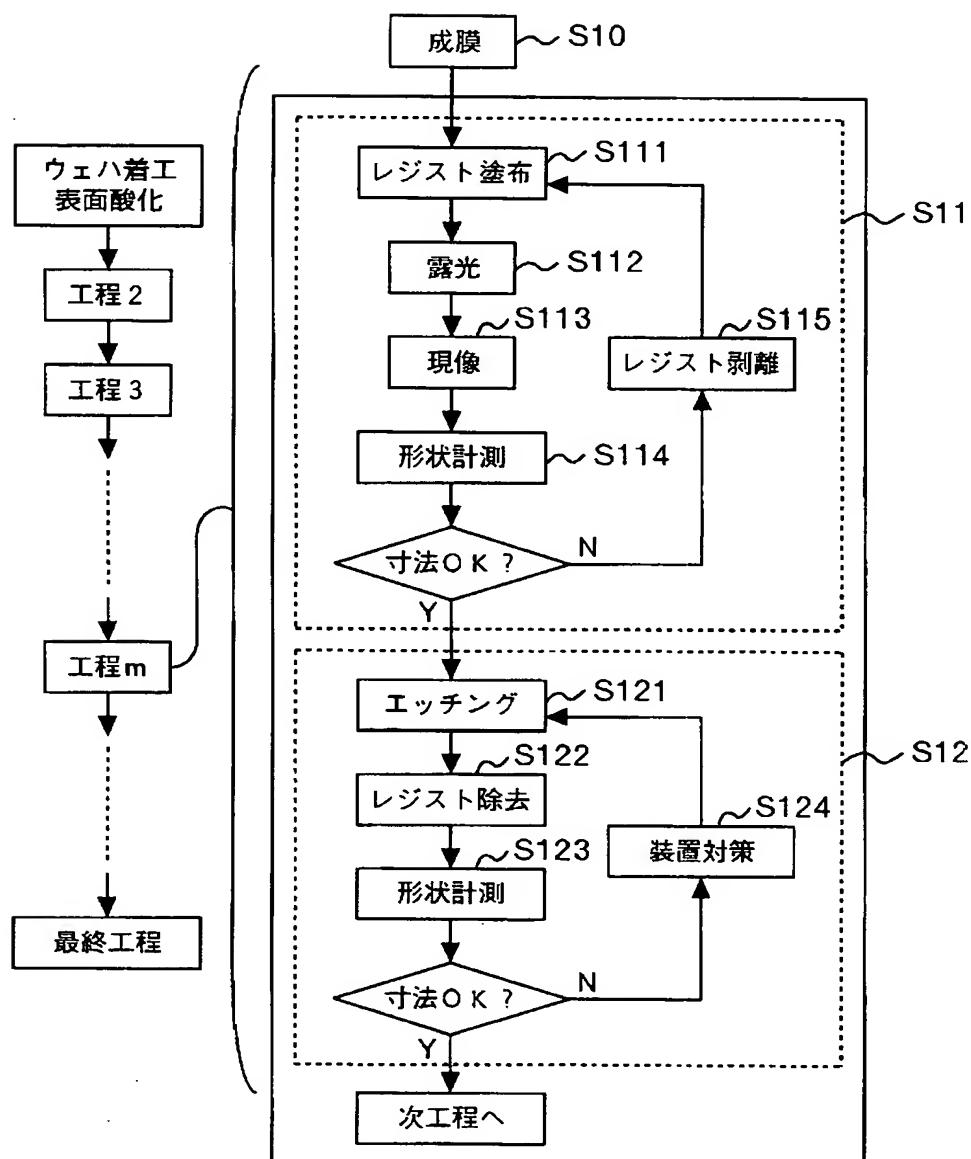
1…半導体ウェハ、2…XYZθステージ、3…白色光源、4…対物レンズ、5…入射光、6…反射光、7…集光レンズ、8…受光部、9…分光部、10…記憶部、11…光学シミュレーション部、12…記憶部（ライブラリ）、13…制御C P Uから構成される比較部（検索部）、20…光学的スキャタロメトリ装置、21…入力手段、22…表示装置、23…記憶装置、101…散乱光強度分布、300…半導体チップ、301…チップ本体部、302、303…スクライプ部、305…テストパターン、305L…ライン部、305S…スペース部、500a、500b…テストパターンのモデル、501…スペース部モデル、502…ライン部モデル、701…パターン部、702…線幅、703…膜厚、704…側壁角度、705…裾引き、706…トップ丸み、707…ノッチ深さ、708…ノッチ高さ、801…上部径、802…側壁角度、803…上部丸み、804…底部丸み、805…底部径、901…ラインパターン、902…スペースパターン、903…穴パターン、904…角の丸み、905…パターンエッジの揺らぎ、906…パターン間の間隔、1201…フィッティング曲線（フィッティング関数）、1301…テストパターンのフィッティング曲線（フィッティング関数）、1302…実回路パターンのフィッティング曲線（フィッティング関数）、1501…テストパターンA、1502…テストパターンB、1503…実回路パターンC、1504…実回路パターンD、1601…ネットワーク、1602…断面SEM、1603…AFM、1604…測長SEM、1606…サーバ、1607…形状特徴記憶部、1608…対応算出部、1609…実回路パターン算出部、1610…レシピ記憶部、1611…対応関係記憶部、1612…露光装置、1613…エッチャ、1614…表示部、2101…プロセスワイ

ンドウ記憶部、2102…プロセス判定部、2001…実回路パターン1、2002…実回路パターン2、2003…テストパターン、2004…チップ、2005…実回路パターン1プロセスウィンドウ、2006…実回路パターン2プロセスウィンドウ、2007…テストパターンプロセスウィンドウ、2201…プロセスウィンドウ表示部、2205…テストパターン測定値表示部。

【書類名】 図面

【図 1】

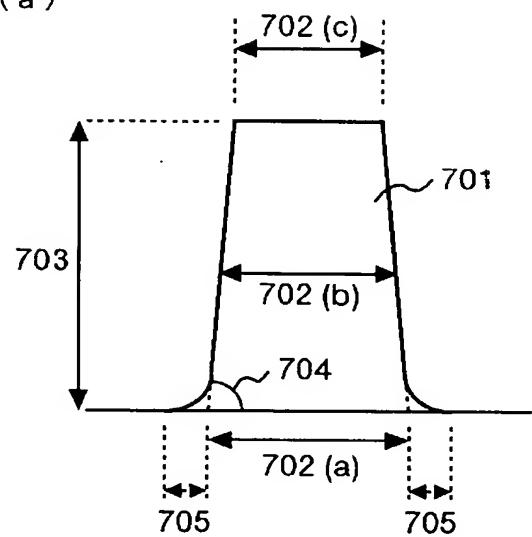
図 1



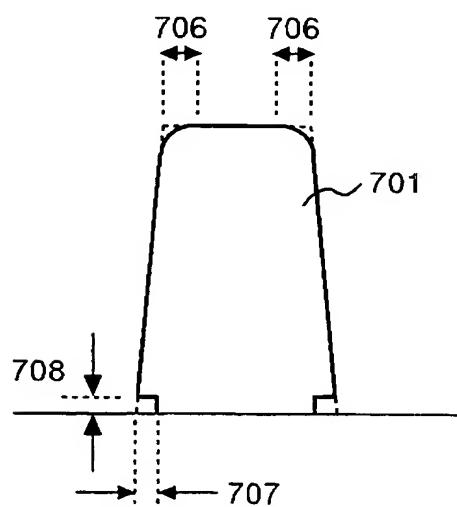
【図2】

図 2

(a)

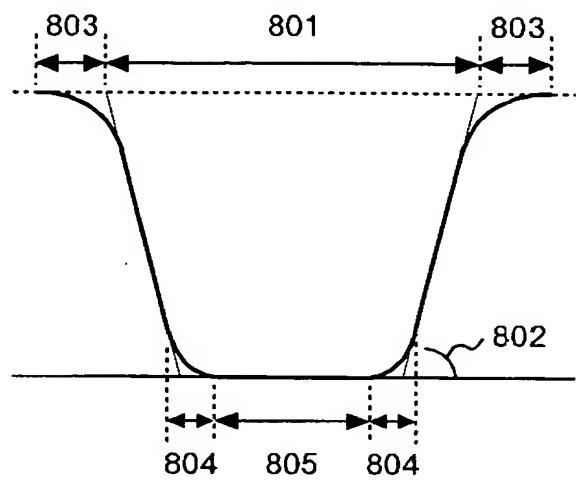


(b)



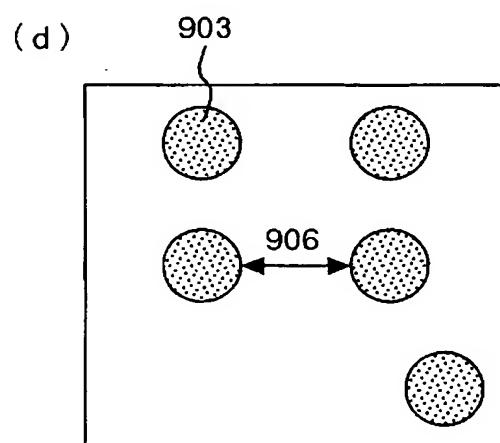
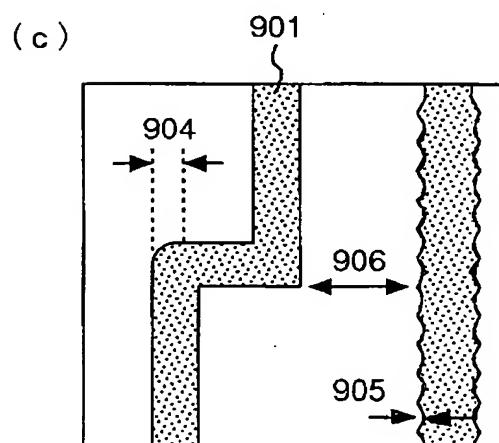
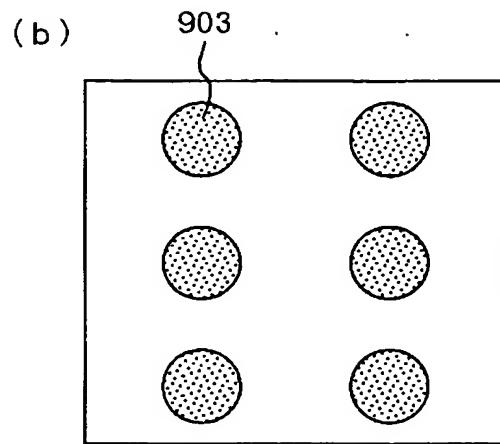
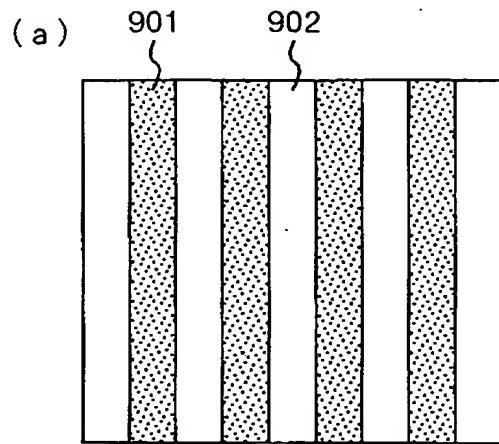
【図3】

図 3



【図4】

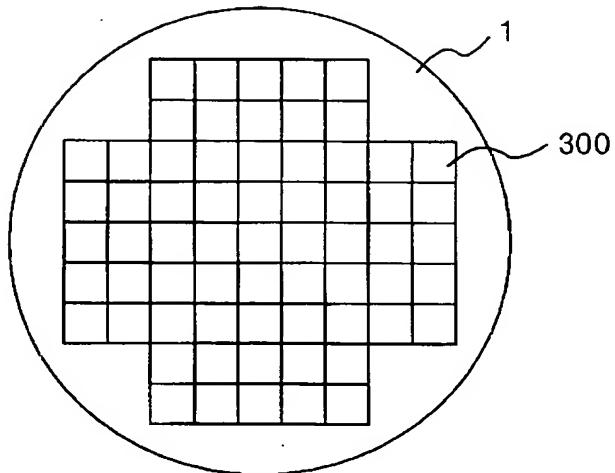
図 4



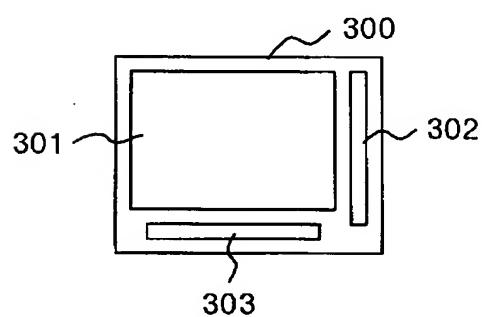
【図 5】

図 5

(a)

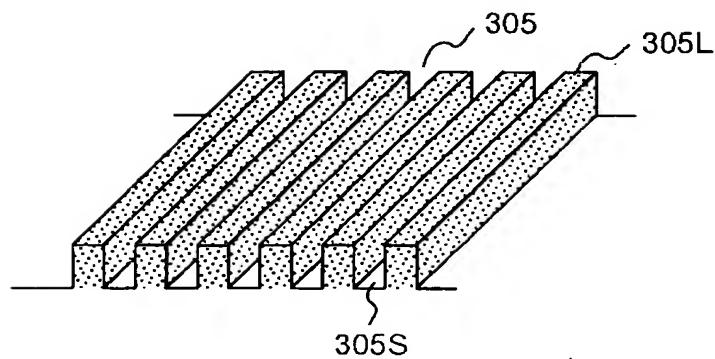


(b)



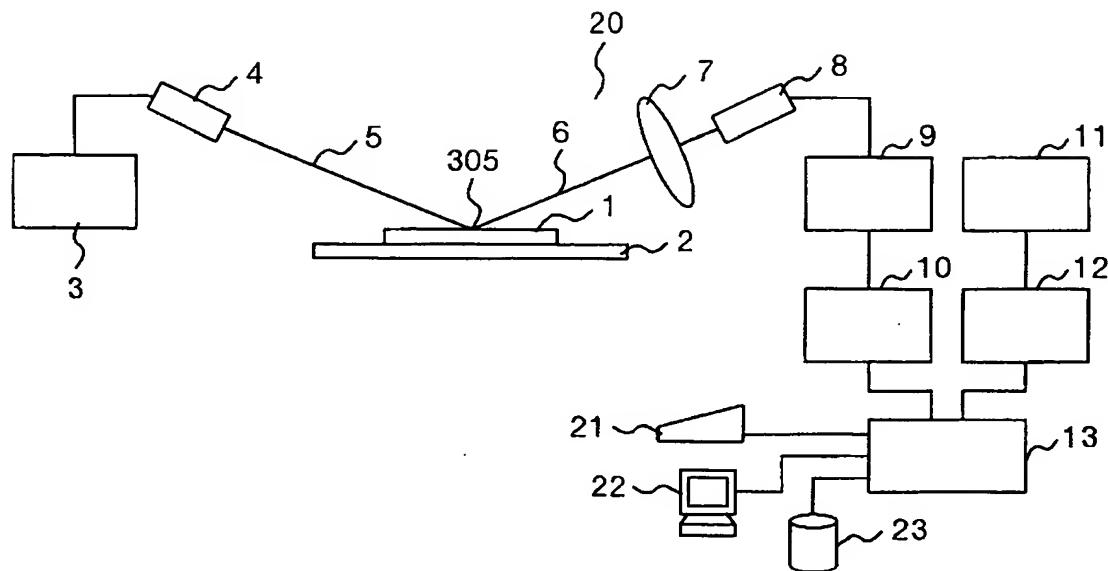
【図 6】

図 6



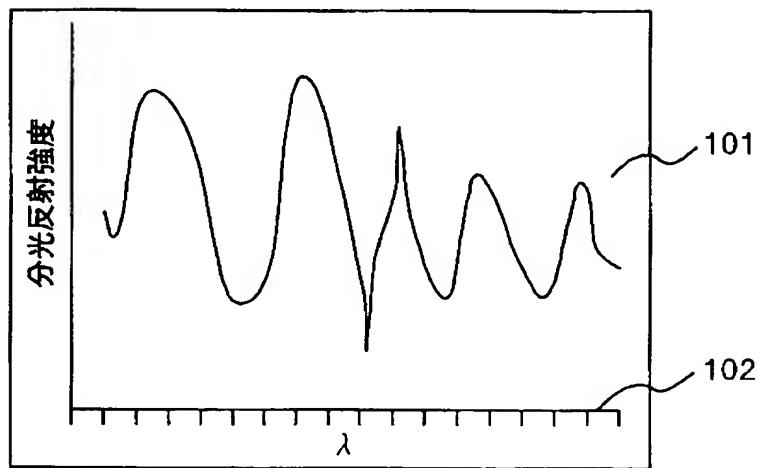
【図7】

図 7



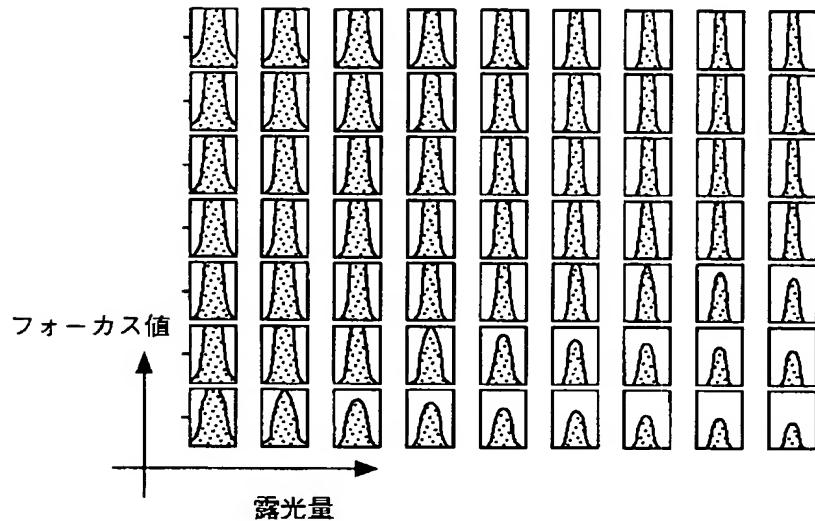
【図8】

図 8



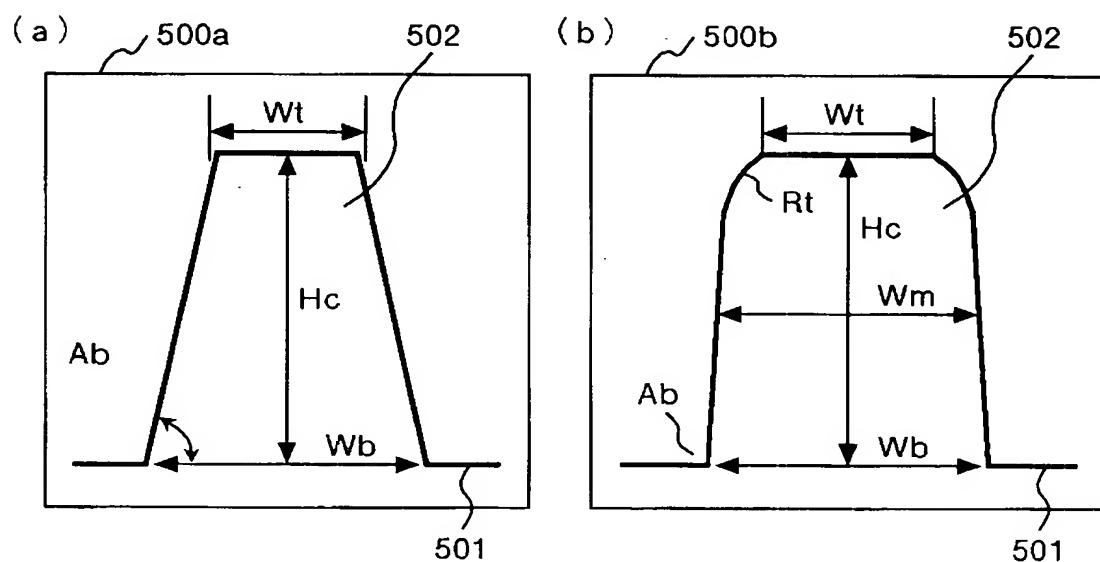
【図9】

図 9



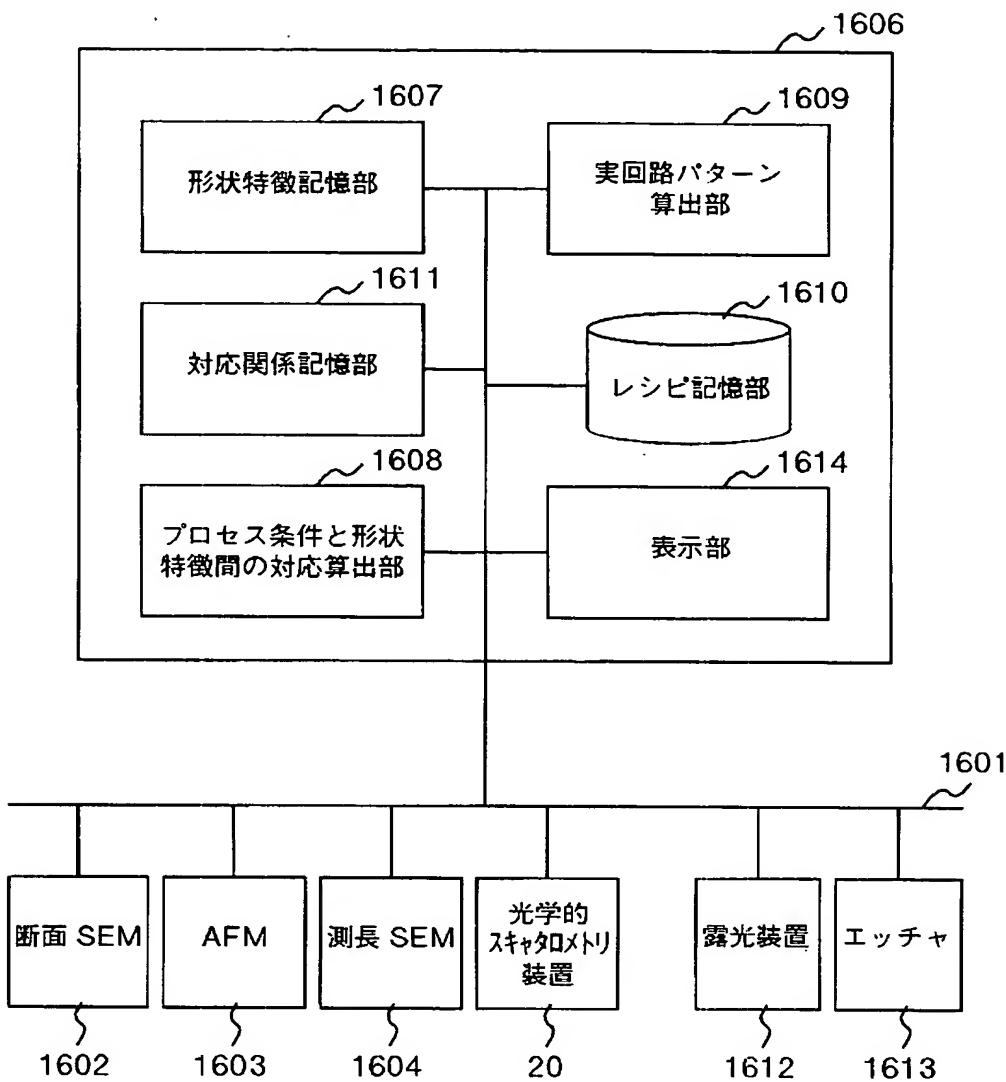
【図10】

図 10



【図 11】

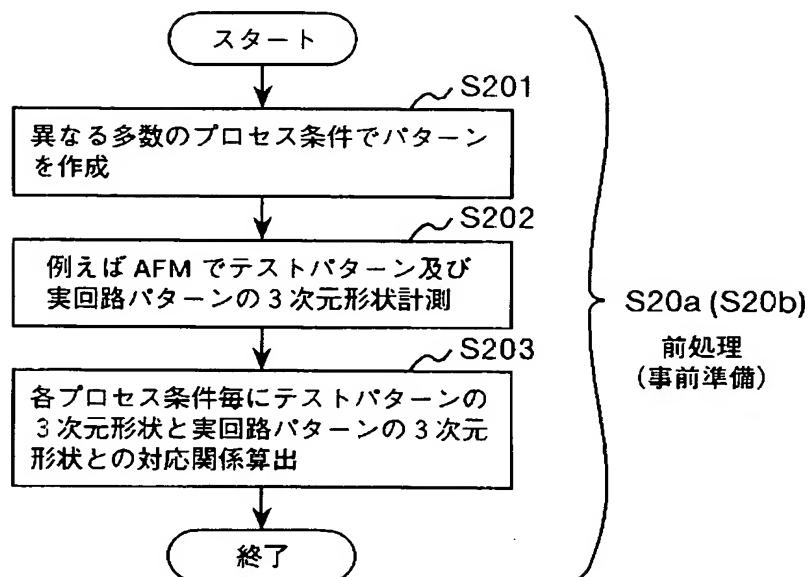
図 11



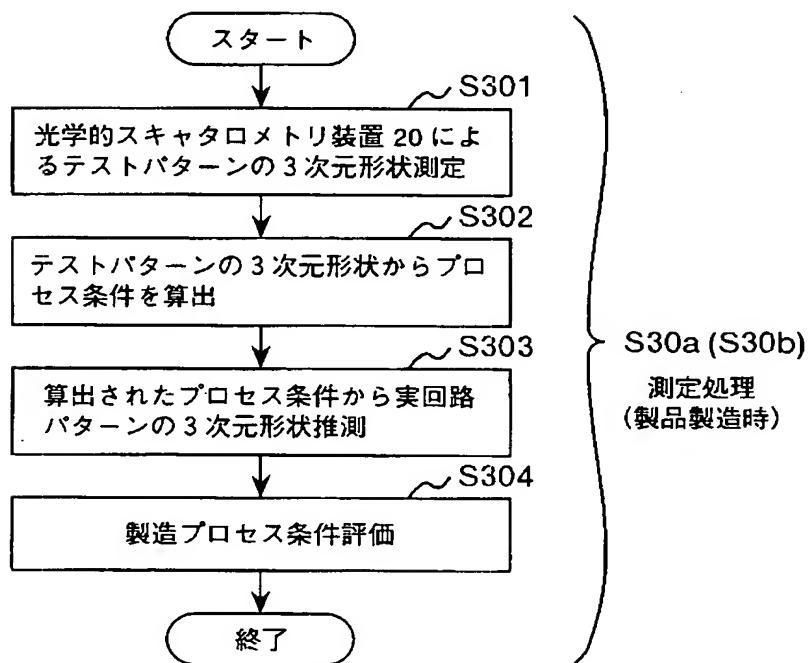
【図12】

図 12

(a)



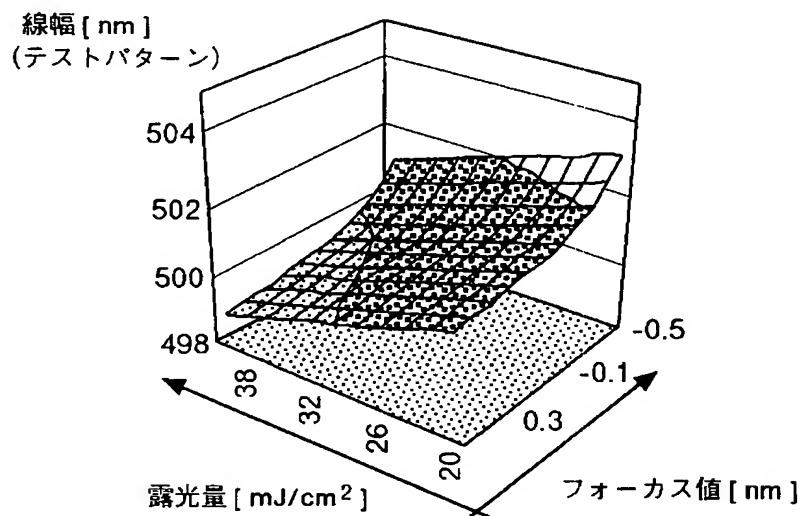
(b)



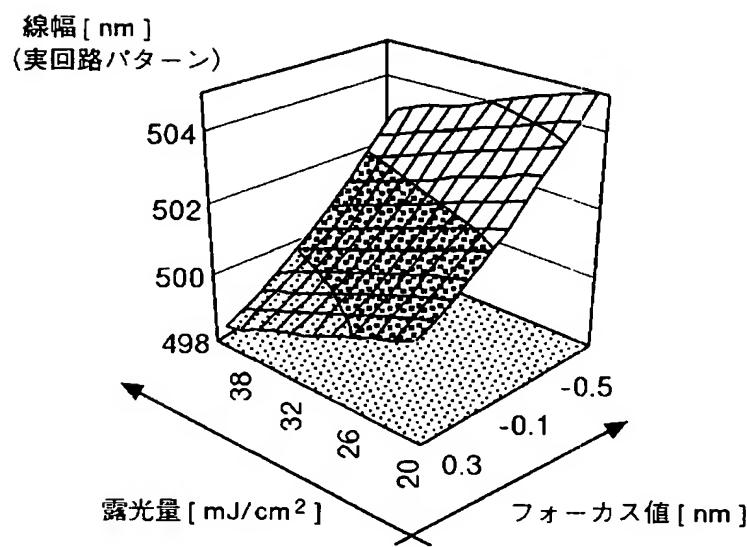
【図13】

図 13

(a)



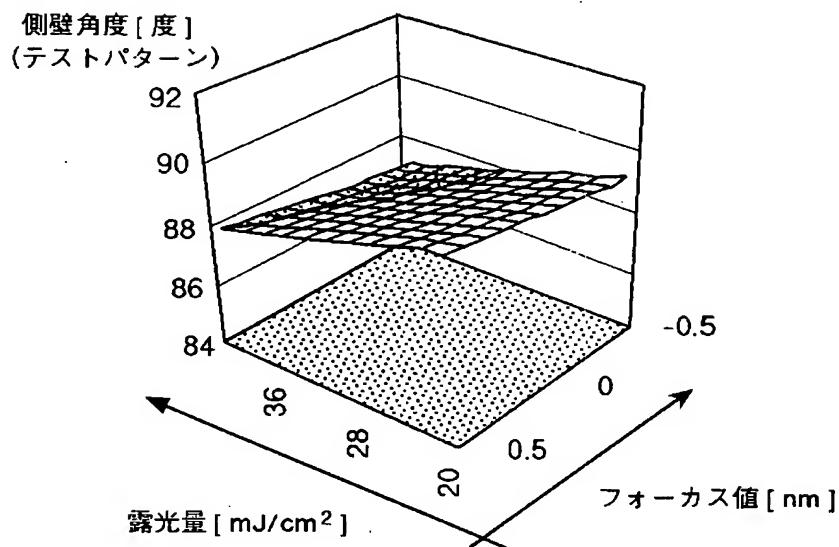
(b)



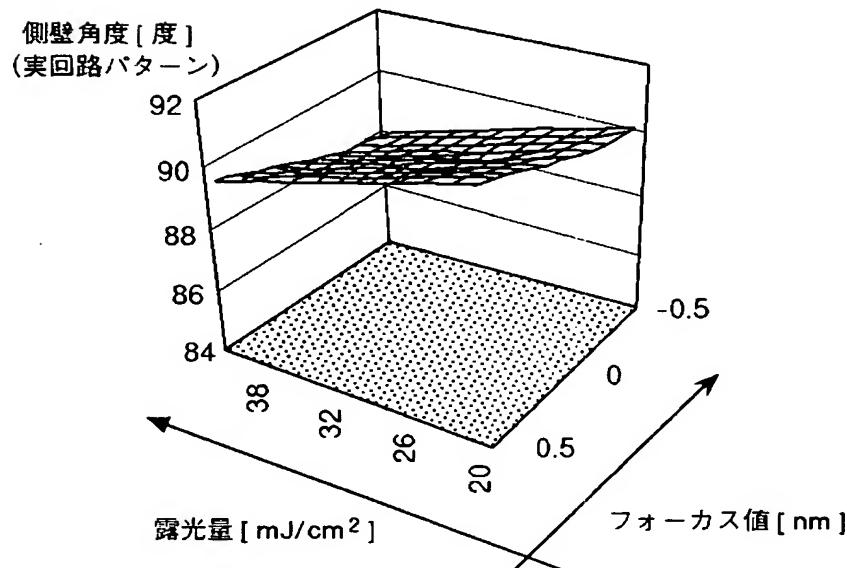
【図 14】

図 14

(a)



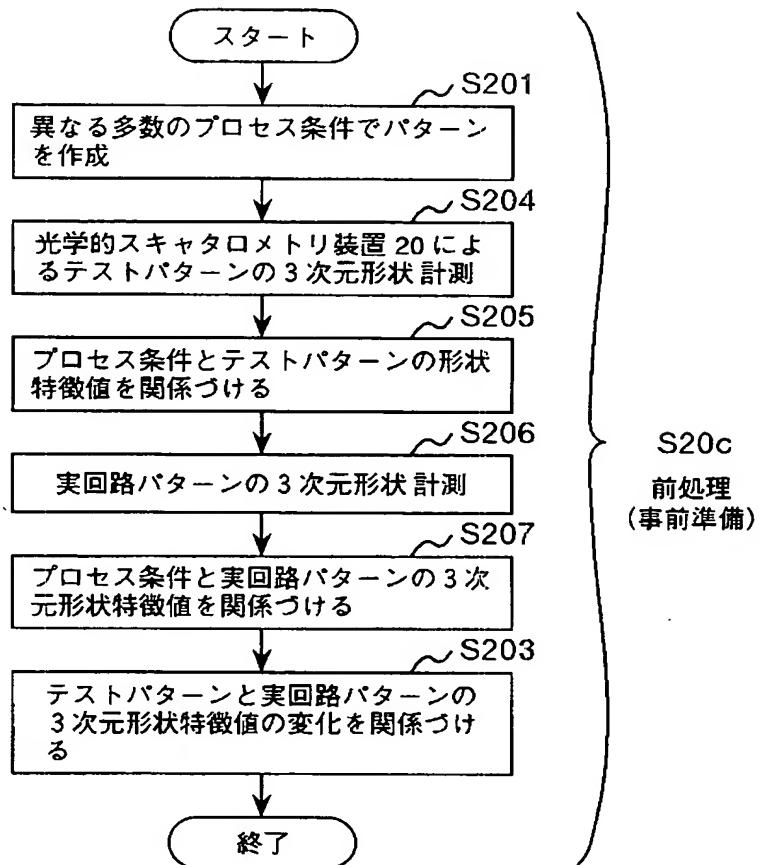
(b)



【図15】

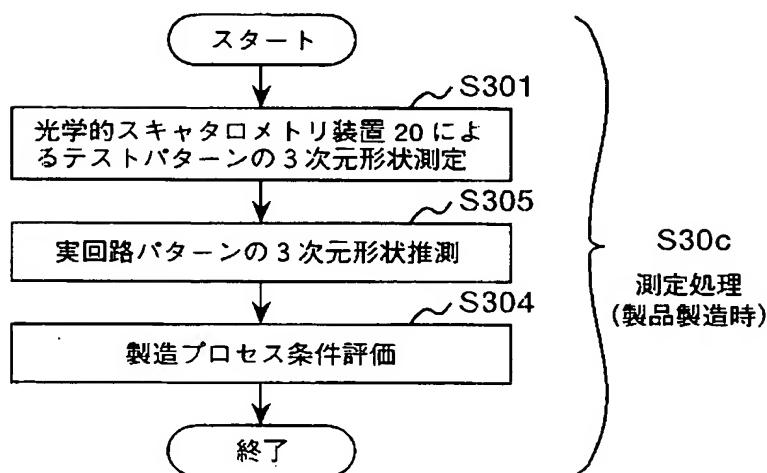
図 15

(a)



S20c
前処理
(事前準備)

(b)



S30c
測定処理
(製品製造時)

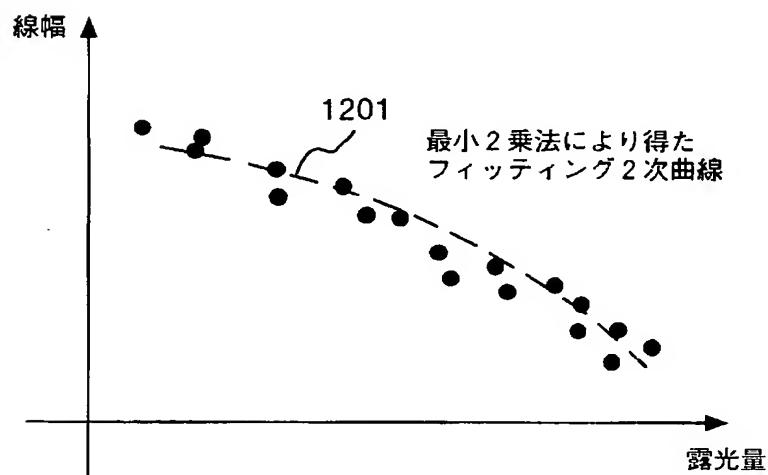
【図16】

図 16



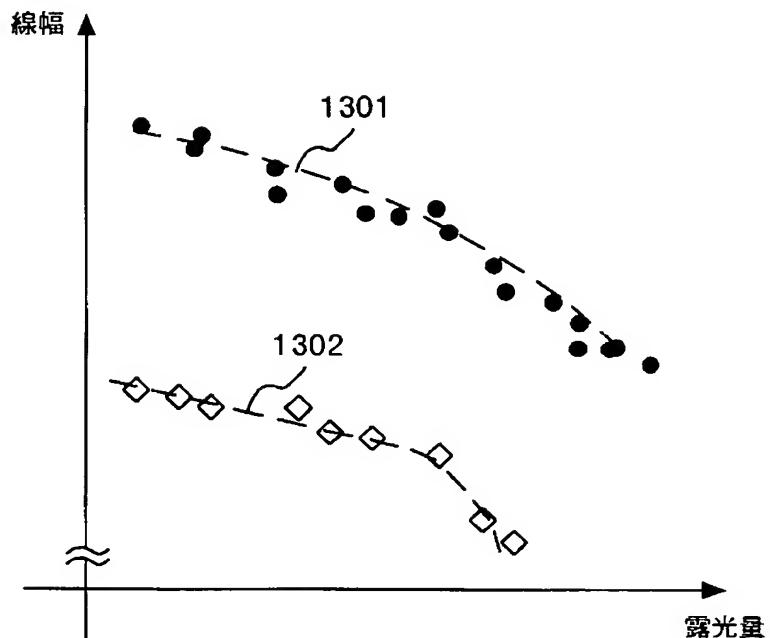
【図17】

図 17



【図18】

図 18



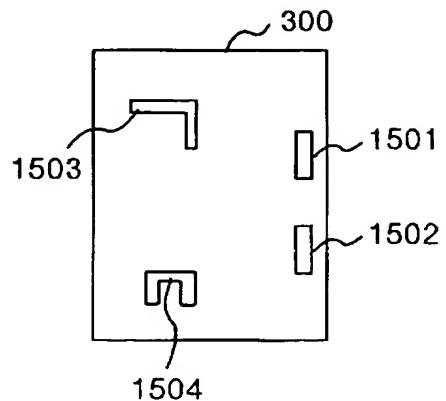
【図19】

図 19

#	テストパターン	クリティカルな実回路パターン
1	パターンA 線幅 = F1a (条件1, 条件2) 傾斜角 = F2a (条件1, 条件2)	パターンC 線幅 = F1c (条件1, 条件2) 傾斜角 = F2c (条件1, 条件2)
2	パターンB 線幅 = F1b (条件1, 条件2) 傾斜角 = F2b (条件1, 条件2)	パターンD 線幅 = F1d (条件1, 条件2) 傾斜角 = F2d (条件1, 条件2)

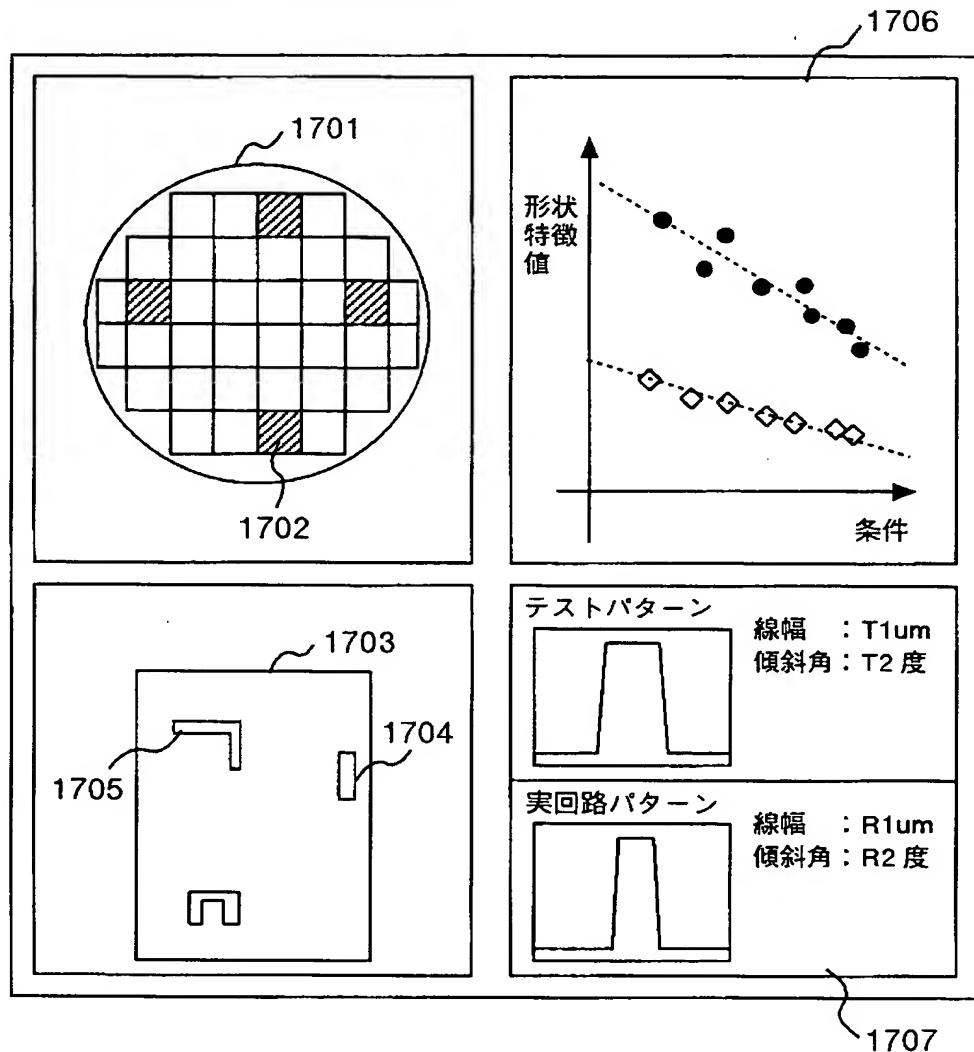
【図20】

図 20



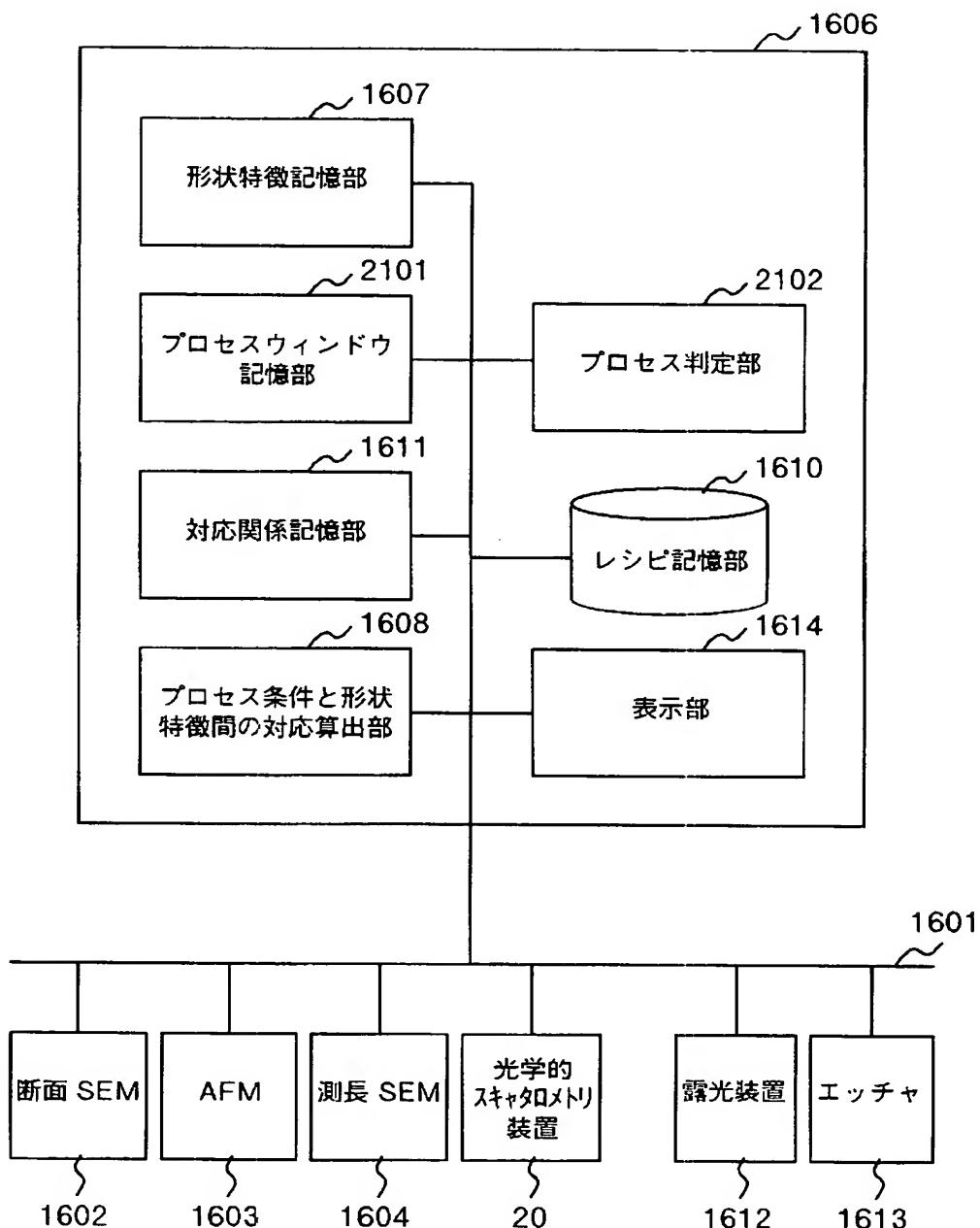
【図21】

図 21



【図22】

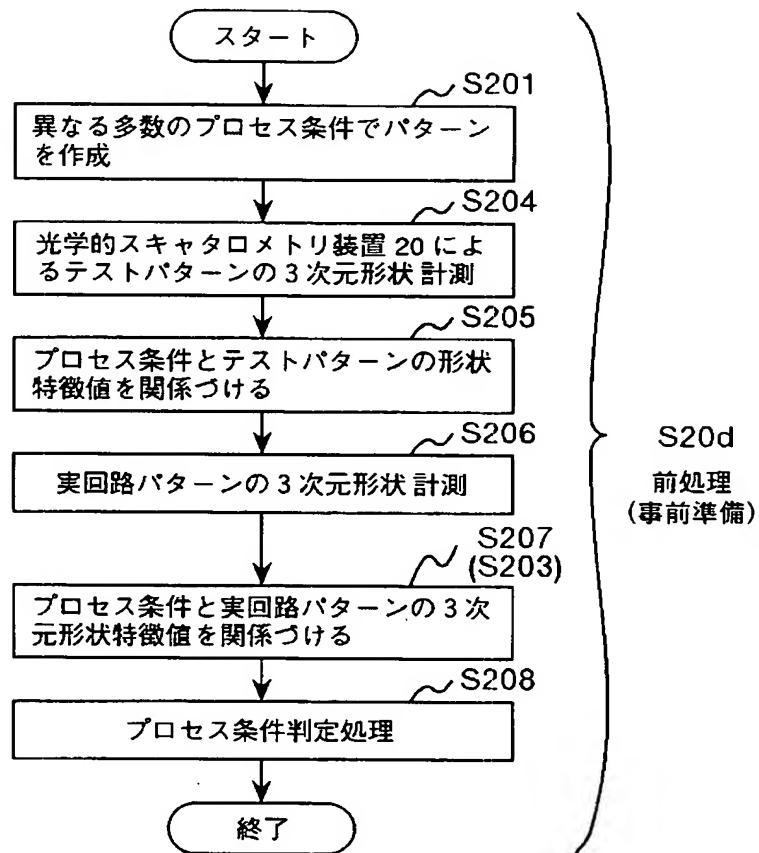
図 22



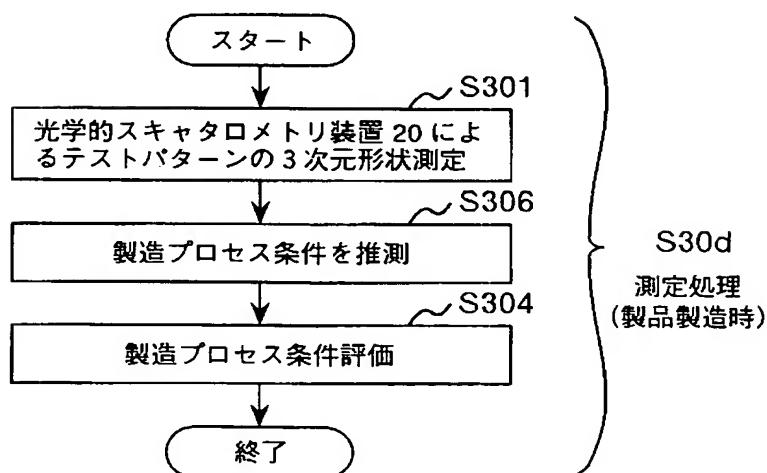
【図 23】

図 23

(a)

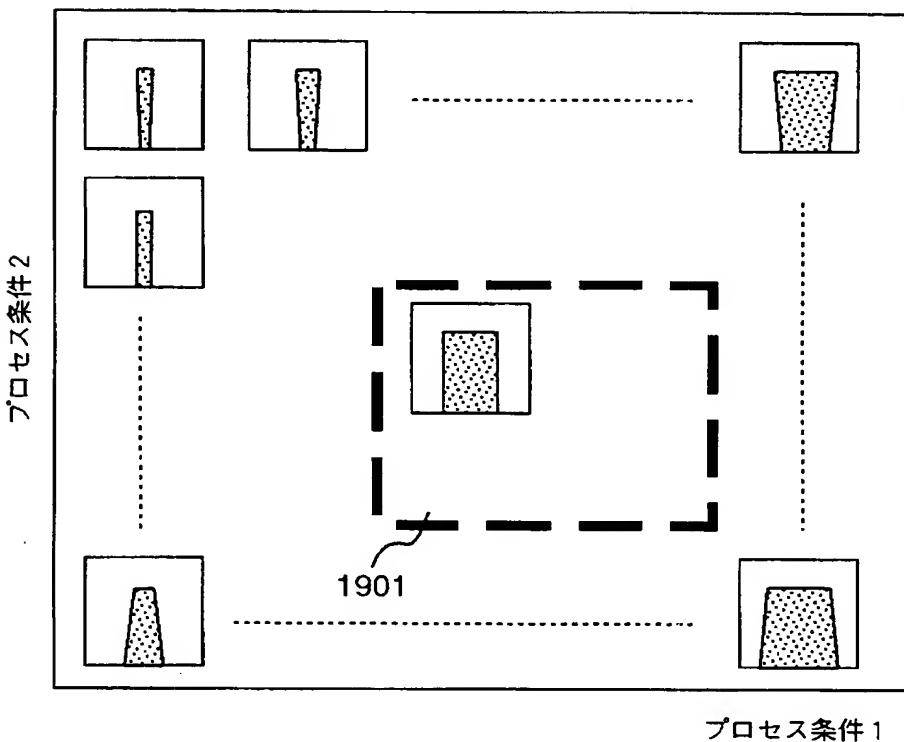


(b)



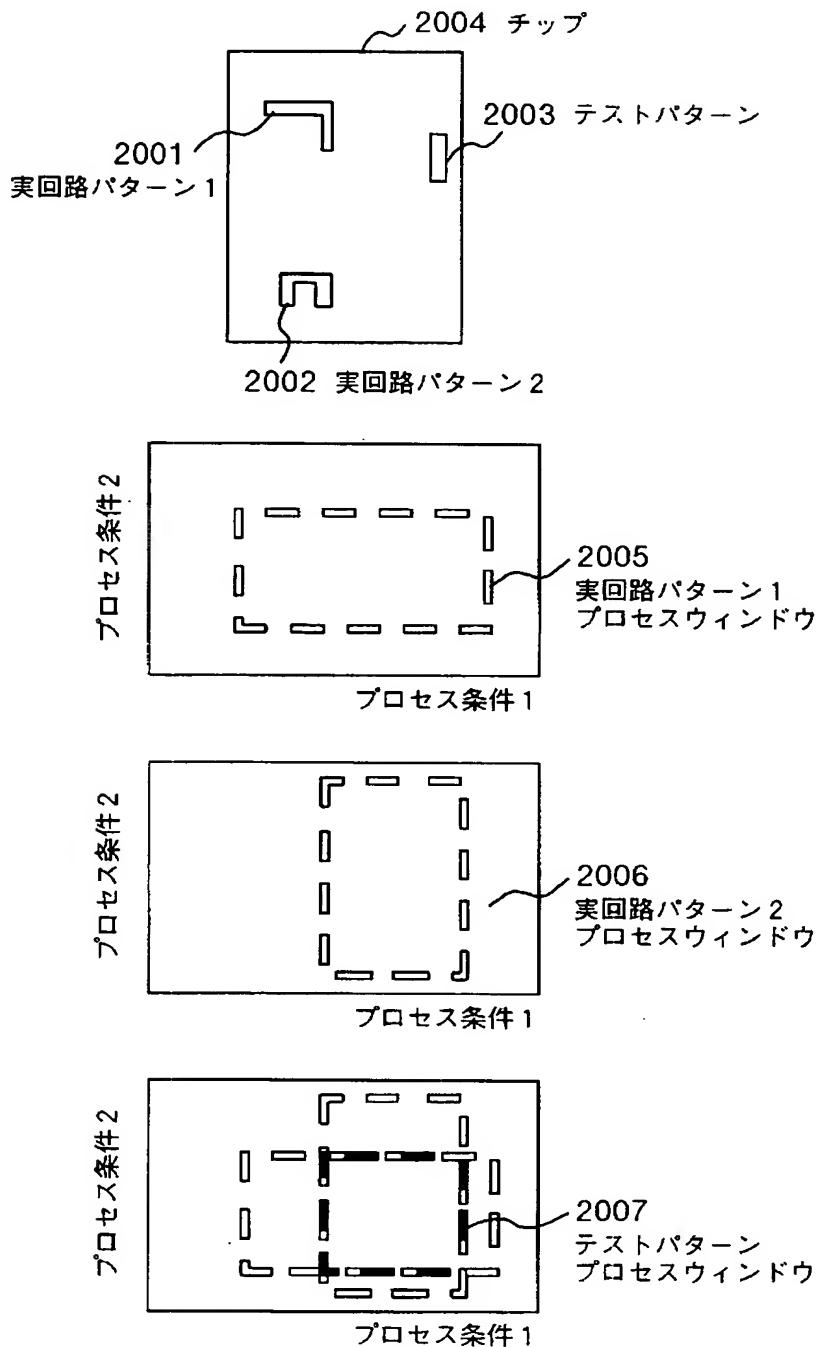
【図 24】

図 24



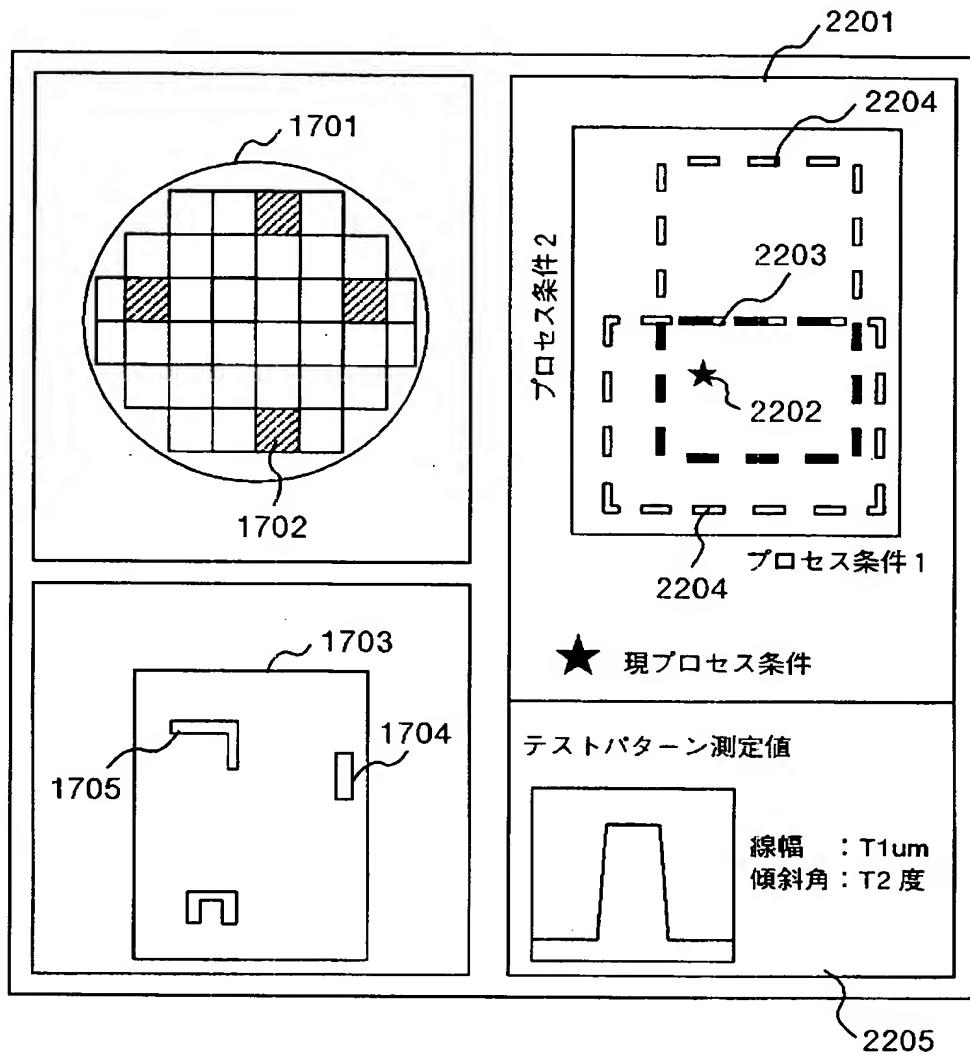
【図25】

図 25



【図26】

図 26



【書類名】 要約書

【要約】

【課題】

光学的スキャトロメトリ装置による3次元計測技術を利用して高速で超微細化実回路パターンの製造プロセス評価を可能にして半導体デバイスを製造できるようにした半導体デバイスの製造方法及びその製造システムを提供することにある。

【解決手段】

本発明は、所定の半導体製造プロセスによりテストパターンおよび実回路パターンを形成して製品半導体デバイスを製造する半導体デバイスの製造方法であつて、前記製品半導体デバイスに形成されたテストパターンの3次元形状の特徴を光学的スキャタロメトリ装置を用いて計測して前記製品半導体デバイスの実回路パターンに対する半導体製造プロセスを評価することを特徴とする。

【選択図】 図7

特願2002-319833

出願人履歴情報

識別番号 [501387839]

1. 変更年月日 2001年10月 3日

[変更理由] 新規登録

住所 東京都港区西新橋一丁目24番14号
氏名 株式会社日立ハイテクノロジーズ